

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098073

(43)Date of publication of application : 14.04.1998

(51)Int.Cl. H01L 21/60  
H01L 23/28

(21)Application number : 09-166193

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.06.1997

(72)Inventor : HASHIZUME TAKANORI

TANAKA TADAYOSHI

SAEKI JUNICHI

TOJO SHINJI

HARUTA AKIRA

ANJO ICHIRO

NISHIMURA ASAO

NISHI KUNIIKO

NAGAI AKIRA

(30)Priority

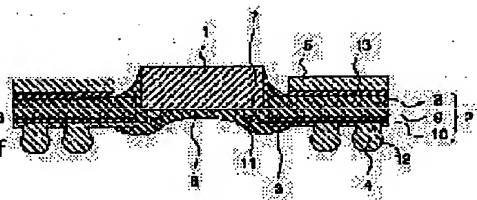
Priority number : 08198920 Priority date : 29.07.1996 Priority country : JP

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a semiconductor integrated circuit which is not only enhanced in number of pins, lessened in size, weight and thickness but also enhanced in mounting stability by a method, wherein the outer terminals of a semiconductor chip are arranged on the periphery of the semiconductor chip, and bump electrodes are arranged in two rows on the periphery of a region located outside the semiconductor chip.

**SOLUTION:** Bonding pads 7 are arranged as a square along the periphery of a semiconductor chip 1. A flexible board 2 is composed of a tape 8 and a wiring 10, bonded to the tape 8 through the intermediary of adhesive material 9. A solder resist 3 is formed on the main surface of the wiring 10, excluding a part where solder bumps 4 are connected to the bump lands 12 of the wiring 10 through the opening provided to the solder resist 3, so as to protect the exposed part of the wiring 10. The solder bumps 4 are arranged in two rows in an outer region outside the periphery of the semiconductor chip 1, so as to be separated from each other by a distance of 0.5mm. A reinforcing frame 5 is bonded with an adhesive agent 13.



## LEGAL STATUS

[Date of request for examination] 15.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number]

3554656

[Date of registration]

14.05.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The lead section of wiring formed in the wiring substrate is electrically connected to the external terminal on the principal plane of a semiconductor chip. And it is semiconductor integrated circuit equipment made to come electrically to connect with a bump electrode the land of wiring formed in said wiring substrate. The external terminal of said semiconductor chip is arranged to the periphery of said semiconductor chip. Said bump electrode connected to the external terminal of said semiconductor chip through wiring formed in said wiring substrate is arranged in two trains around an outside [ periphery / of said semiconductor chip ] field. And semiconductor integrated circuit equipment characterized by making it come to arrange a reinforcement member in the rear face of said wiring substrate to the extension part to the circumference [ from / near the periphery of said semiconductor chip ].

[Claim 2] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1, and is characterized by said bump electrode making it come to arrange mutual spacing in 0.5mm pitch.

[Claim 3] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1, and is characterized by making it come to form said reinforcement member in heat dissipation structure.

[Claim 4] It is semiconductor integrated circuit equipment characterized by not arranging the bump electrode which is semiconductor integrated circuit equipment according to claim 1, and should be arranged in the four corners of said bump electrodes, or making it come through wiring to connect it with other bump electrodes.

[Claim 5] The lead section of wiring formed in the wiring substrate is electrically connected to the external terminal on the principal plane of a semiconductor chip. And it is semiconductor integrated circuit equipment made to come electrically to connect with a bump electrode the land of wiring formed in said wiring substrate. The external terminal of said semiconductor chip is arranged to the periphery of said semiconductor chip. Said bump electrode connected to the external terminal of said semiconductor chip through wiring formed in said wiring substrate is semiconductor integrated circuit equipment which is two trains and is characterized by making it come to arrange mutual spacing in 0.5mm pitch around an outside [ periphery / of said semiconductor chip ] field.

[Claim 6] The process which connects the lead section of wiring formed in the wiring substrate to the external terminal arranged on the principal plane of a semiconductor chip, The process which carries out the resin seal of the connection part of the external terminal of said semiconductor chip, and the lead section of said wiring, The process which pastes up a reinforcement member on the extension part to the circumference [ from / near the periphery of said semiconductor chip ] at the rear face of said wiring substrate, The process which is joined to the land of said wiring through opening of the insulator layer formed on the principal plane of said wiring, and forms a bump electrode, The manufacture approach of the semiconductor integrated circuit equipment characterized by consisting of a process which cuts the substrate base material of said wiring substrate from the periphery of said semiconductor chip on an outside a little.

[Claim 7] The process which pastes up a reinforcement member on the extension part to the circumference [ from / near the periphery of the location where a semiconductor chip is beforehand arranged at the rear face of a wiring substrate ], The process which connects the lead section of wiring formed in said wiring substrate to the external terminal arranged on the principal plane of said semiconductor chip, The process which carries out the resin seal of the connection part of the external terminal of said semiconductor chip, and the lead section of said wiring, The process which is joined to the land of said wiring through opening of the insulator layer formed on the principal plane of said wiring, and forms a bump electrode, The manufacture approach of the semiconductor integrated circuit equipment characterized by consisting of a process which cuts the substrate base material of said wiring substrate from the periphery of said semiconductor chip on an outside a little.

[Claim 8] The lead section of wiring formed in the wiring substrate is electrically connected to the external terminal on the principal plane of a semiconductor chip. And it is semiconductor integrated circuit equipment made to come electrically to connect with a bump electrode the land of wiring formed in said wiring substrate. The external terminal of said semiconductor chip is arranged to the periphery of said semiconductor chip. Said bump electrode connected to the external terminal of said semiconductor chip through wiring formed in said wiring substrate is arranged around an outside [ periphery / of said semiconductor chip ] field. And it makes it come to arrange a reinforcement member in the rear face of said wiring substrate to the extension part to the circumference [ from / near the periphery of said semiconductor chip ]. When said bump electrode is arranged in N train and mutual spacing is made into P pitch, the dimension from the inner circumference edge of said reinforcement member to a periphery edge (N-1) Semiconductor integrated circuit equipment which is more than the dimension of xP and is characterized by making it come below in the dimension from the periphery edge of said semiconductor chip to the periphery edge of said wiring substrate to form.

[Claim 9] It is semiconductor integrated circuit equipment which it is semiconductor integrated circuit equipment according to claim 8, and the dimension from the inner circumference edge of said reinforcement member to a periphery edge is more than a dimension of x(N-1) P, and is characterized by making it come below in the dimension from the inner circumference edge of the substrate base material of said wiring substrate to a periphery edge to form.

[Claim 10] It is semiconductor integrated circuit equipment which it is semiconductor integrated circuit equipment according to claim 9, and the dimension from the inner circumference edge of said reinforcement member to a periphery edge is more than a dimension of x(N-1) P, and (N+1) is characterized by making it come below in the dimension of xP to form.

[Claim 11] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 10, and is characterized by arranging said bump electrode in two trains, and making it come to arrange mutual spacing in 0.5mm pitch.

[Claim 12] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 10, and is characterized by arranging said bump electrode by the triplex row, and making it come to arrange mutual spacing in 0.8mm pitch.

[Claim 13] It is semiconductor integrated circuit equipment characterized by being semiconductor integrated circuit equipment according to claim 10, and making it come mostly to arrange the center line of the dimension from the inner circumference edge of said reinforcement member to a periphery edge, and the center line of the said bump inter-electrode dimension of the most inner circumference and the outermost periphery which have been arranged in said N train on the same line.

[Claim 14] It is semiconductor integrated circuit equipment which is claims 1 and 5 and semiconductor integrated circuit equipment of eight publications, and is characterized by coming to carry out the closure of said semiconductor chip by the fire-resistant resin with which are satisfied of UL-94V0 including a connection part with wiring formed in said wiring substrate.

[Claim 15] It is the manufacture approach of the semiconductor integrated circuit equipment which is the manufacture approach of claim 6 and the semiconductor integrated circuit equipment seven publications, and is characterized by coming to carry out the closure of said process which carries out a resin seal by the fire-resistant resin with which are satisfied of UL-94V0.

[Claim 16] Semiconductor integrated circuit equipment with which it is claim 1 and semiconductor integrated circuit equipment of eight publications, and said reinforcement member and said wiring substrate are characterized by coming to paste up with a thermosetting rubber modified epoxy resin.

[Claim 17] It is semiconductor integrated circuit equipment characterized by being fire-resistant resin with which it is semiconductor integrated circuit equipment according to claim 16, and said thermosetting rubber modified epoxy resin is satisfied of UL-94V0.

[Claim 18] It is the manufacture approach of the semiconductor integrated circuit equipment which is the manufacture approach of claim 6 and the semiconductor integrated circuit equipment seven publications, and is characterized by coming to paste up the process which pastes up said reinforcement member with a thermosetting rubber modified epoxy resin.

[Claim 19] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by being fire-resistant resin with which it is the manufacture approach of semiconductor integrated circuit equipment according to claim 18, and said thermosetting rubber modified epoxy resin is satisfied of UL-94V0.

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DÉTAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About a semiconductor integrated circuit equipment technique, in pocket devices, such as a portable telephone and a handicap type personal computer, especially this invention applies small, a light weight, thin-shape-izing, and high mounting stability to the semiconductor integrated circuit equipment which can realize optimal compatible package structure, and its manufacture approach, and relates to an effective technique with many pin-ization in accordance with advanced features of a semiconductor chip, and high performance-ization.

[0002]

[Description of the Prior Art] In recent years, the movement toward small, a light weight, and thin-shape-izing has been activating with advanced features of electronic equipment, and high performance-ization. This has the large place depended on rapid increase of pocket devices, such as the latest portable telephone and a handicap type personal computer. Moreover, importance is increasingly attached to the increase of the man machine interface-role of the device operated individually, and the ease and operability of handling. From now on, it will be thought with arrival of full-scale multimedia age that this inclination becomes strong further.

[0003] In such a situation, not knowing, and enlargement of a semiconductor chip and the formation of many electrodes progress the place at which progress of the densification of a semiconductor chip and high integration stops, and a package is enlarged rapidly. for this reason — while — \*\*\* — in order to advance the miniaturization of a package, \*\* pitch-ization of a terminal lead is also accelerated, and mounting of a package is also becoming difficult quickly with this.

[0004] then, a semiconductor chip, the super-\*\* pin of this area, and a high density package propose in recent years — having — \*\*\* — for example, IEEE TRANSACTIONS ON COMPONENTS, PACKAGING, AND MANUFACTURING TECHNOLOGY PART B, VOL.14, NO.4, and NOVEMBER 1994 "TBGA Package Technology" P564-P568 etc. — the package technique of TBGA (Tape Ball Grid Array) indicated by reference etc. is mentioned.

[0005] This package structure is the package which used as the external connection terminal BGA which arranged the bump electrode by the solder ball in the shape of an array, and is the TBGA structure of the so-called fan-out-circumference pad where use the same polyimide tape as TAB (Tape Automated Bonding) for the wiring substrate which connects a bump electrode with a semiconductor chip, and the external terminal of a semiconductor chip is arranged at a periphery, and a bump electrode is arranged to an outside [ periphery / of a semiconductor chip ] field.

[0006]

[Problem(s) to be Solved by the Invention] By the way, according to the place which this invention person examined, the following can be considered in the above package structures. For example, in the aforementioned TBGA structure, if the mounting stability to a mounting substrate is thought as important and the pitch of a bump electrode is enlarged so that the pitch of a bump electrode may be set as 1.27mm, according to the number of pins of a bump electrode, a package appearance becomes large sharply, and it is difficult to carry in pocket devices, such as a portable telephone and a handicap type personal computer.

[0007] Then, the purpose of this invention is in the so-called TBGA package structure of a fan-out-circumference pad to offer the semiconductor integrated circuit equipment which can realize optimal package structure which was compatible in small, a light weight, thin-shape-izing, and high mounting stability, and its manufacture approach with many pin-ization in accordance with advanced features of a semiconductor chip, and high performance-ization.

[0008] Furthermore, other purposes of this invention aim at reduction of cost, and are to offer the semiconductor integrated circuit equipment which can raise the versatility of the semiconductor chip in a class, a dimension, etc. while they can secure the surface smoothness of a package also to small [ of a package ], a light weight, and

thin-shape-izing.

[0009] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0010]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0011] The semiconductor integrated circuit equipment of this invention the lead section which is the end side of wiring formed in the wiring substrate Namely, the external terminal on the principal plane of a semiconductor chip, It is what is applied to the semiconductor integrated circuit equipment made to come electrically to connect with a bump electrode the land which is an other end side. Arrange the external terminal of a semiconductor chip to the periphery of a semiconductor chip, and the bump electrode connected to the external terminal of a semiconductor chip through wiring formed in the wiring substrate is arranged in two trains around an outside [ periphery / of a semiconductor chip ] field. And it considers as the structure of making it coming to arrange a reinforcement member into the extension part to the circumference [ from / near the periphery of a semiconductor chip ] to the rear face of a wiring substrate.

[0012] A bump electrode arranges mutual spacing in 0.5mm pitch, or a reinforcement member is made to form in heat dissipation structure, or especially the bump electrode that should be arranged in the four corners of the bump electrodes in the structure of this semiconductor integrated circuit equipment is not arranged, or it is made to connect it to other bump electrodes through wiring.

[0013] Moreover, other semiconductor integrated circuit equipments of this invention are made into the structure of arranging the external terminal of a semiconductor chip to the periphery of a semiconductor chip, being two trains to the circumference of an outside [ periphery / of a semiconductor chip ] field about the bump electrode connected to the external terminal of a semiconductor chip through wiring formed in the wiring substrate, and making it coming to arrange mutual spacing in 0.5mm pitch.

[0014] Furthermore, the manufacture approach of the semiconductor integrated circuit equipment of this invention The process which connects the lead section of wiring formed in the wiring substrate to the external terminal arranged on the principal plane of a semiconductor chip, The process which carries out the resin seal of the connection part of the external terminal of a semiconductor chip, and the lead section of wiring, The process which pastes up a reinforcement member on the extension part to the circumference [ from / near the periphery of a semiconductor chip ] at the rear face of a wiring substrate, It consists of a process which is joined to the land of wiring through opening of the insulator layer formed on the principal plane of wiring, and forms a bump electrode, and a process which cuts the substrate base material of a wiring substrate from the periphery of a semiconductor chip on an outside a little.

[0015] Moreover, the manufacture approach of other semiconductor integrated circuit equipments of this invention The process which pastes up a reinforcement member on the extension part to the circumference [ from / near the periphery of the location where a semiconductor chip is arranged at the rear face of a wiring substrate ] beforehand is performed. Then, the process which connects the lead section of wiring formed in the wiring substrate to the external terminal arranged on the principal plane of a semiconductor chip, The process which carries out the resin seal of the connection part of the external terminal of a semiconductor chip, and the lead section of wiring, It is made to perform the process which is joined to the land of wiring through opening of the insulator layer formed on the principal plane of wiring, and forms a bump electrode, and the process which cuts the substrate base material of a wiring substrate from the periphery of a semiconductor chip on an outside a little.

[0016] Therefore, according to the above mentioned semiconductor integrated circuit equipment and its manufacture approach In the so-called TBGA package structure of a fan-out-circumference pad The number of the circumference of a bump electrode is lessened by arranging a bump electrode in two trains on the outskirts. Leading about of wiring on the wiring substrate which connects a bump electrode and the external terminal of a semiconductor chip can be made easy, and a wire length can be made into the shortest, also with wiring on the mounting substrate with which this package is mounted further, leading about can be made easy and a wire length can be shortest-ized.

[0017] Furthermore, by arranging a reinforcement member to a part for the flesh-side surface part of the wiring substrate except a semiconductor chip, this reinforcement member can protect the curvature of a wiring substrate, height dispersion of a bump electrode can be suppressed, and the surface smoothness of a package can be raised.

[0018] Moreover, by formation of photosensitive insulator layers, such as improvement in patterning in wiring formation of a wiring substrate, and etching precision, and solder resist further formed on wiring, and improvement in opening precision; since a bump electrode can be arranged in 0.5mm pitch, \*\* pitch-ization of a bump electrode can be enabled.

[0019] Furthermore, while realizing the key objective of the reinforcement member of suppressing the curvature of a wiring substrate by making a reinforcement member forming in heat dissipation structure, it can be made easy to radiate heat in the heat generated in a semiconductor chip, and the heat dissipation nature of a package can be raised.

[0020] Moreover, since what is necessary is just to let wiring of one pass to the bump inter-electrode of the inner circumference of the two trains, respectively by not arranging a bump electrode in the four corners, or connecting the bump electrode of four corners to other bump electrodes through wiring, wiring on a wiring substrate and wiring on a mounting substrate can be taken about further easily.

[0021] Thereby, while enabling many pin-ization of this semiconductor chip also in the densification of a semiconductor chip, and the formation of many pins in accordance with high integration, the TBGA package structure called the optimal fan-out-circumference pad which was compatible in small [ of a package ], a light weight, thin-shape-izing, and the high mounting stability to a mounting substrate is realizable.

[0022] Furthermore, when other semiconductor integrated circuit equipments of this invention arrange a bump electrode in N train and mutual spacing is made into P pitch, the dimension from the inner circumference edge of a reinforcement member to a periphery edge is more than a dimension of  $x(N-1)P$ , and is made into the structure which it makes it come below in the dimension from the periphery edge of a semiconductor chip to the periphery edge of a wiring substrate to form.

[0023] The dimension from the inner circumference edge of this reinforcement member to a periphery edge is more than a dimension of  $x(N-1)P$  preferably, and is made to form below in the dimension from the inner circumference edge of the substrate base material of a wiring substrate to a periphery edge, and it is more than a dimension of  $x(N-1)P$  still more preferably, and  $(N+1)$  it is made to make it form below in the dimension of  $xP$ .

[0024] Specifically arrange a bump electrode in two trains, arrange mutual spacing in 0.5mm pitch, or Arrange a bump electrode by the triplex row, and it is made to arrange mutual spacing in 0.8mm pitch. In this case Or the center line of the dimension from the inner circumference edge of a reinforcement member to a periphery edge, It is made to arrange mostly the center line of the bump inter-electrode dimension of the most inner circumference and the outermost periphery which have been arranged in N train on the same line.

[0025] Therefore, according to other above mentioned semiconductor integrated circuit equipments, by standardizing the dimension of the reinforcement member arranged at a part for the flesh-side surface part of a wiring substrate, the curvature of a wiring substrate can be suppressed by the reinforcement member standardized by the optimal dimension also to small [ of the package currently called for with many pin-ization of a semiconductor chip ], a light weight, and thin-shape-izing, and the surface smoothness of a package can be secured.

[0026] Furthermore, since the semiconductor chip with which a class differs from a dimension etc. by using in common the reinforcement member by which the dimension was standardized can be carried, while aiming at reduction of the cost by common use of a reinforcement member, the versatility of a semiconductor chip can be raised.

[0027] Especially the dimension from the inner circumference edge of a reinforcement member to a periphery edge above the dimension of  $x(N-1)P$  And  $(N+1)$  by forming below in the dimension of  $xP$  and arranging mostly the center line of the bump inter-electrode dimension arranged at the center line, and the most inner circumference and the outermost periphery of a dimension of this reinforcement member on the same line The surface smoothness of a package can be secured and reduction of cost and improvement in the versatility of a semiconductor chip can be aimed at further.

[0028] moreover, the thing for which it is more than the dimension of  $x(N-1)P$ , and the dimension of a reinforcement member is formed below with the dimension from the inner circumference edge of the substrate base material of a wiring substrate to a periphery edge — especially, while being able to improve a surroundings lump of closure resin, the stress concentration to the lead section of wiring which originates in temperature and is generated can be eased.

[0029] Furthermore, since the heat generated in a semiconductor chip through a reinforcement member by being more than the dimension of  $x(N-1)P$ , and forming the dimension of a reinforcement member below with the dimension from the periphery edge of a semiconductor chip to the periphery edge of a wiring substrate becomes

easy to radiate heat, the heat dissipation nature of a package can be raised.

[0030] Thereby, the TBGA package structure called the fan-out-circumference pad in which reservation of the surface smoothness of a package, reduction of cost, and improvement in the versatility of a semiconductor chip are possible is realizable by standardizing especially the dimension of a reinforcement member also to small [ of the package accompanying the formation of many pins of a semiconductor chip ], a light weight, and thin-shape-izing.

[0031] Furthermore, other semiconductor integrated circuit equipment and its manufacture approach of this invention use fire-resistant resin for the resin which closes the connection part of the external terminal of a semiconductor chip, and the lead section of wiring. Furthermore, fire-resistant resin is used for the binder on which a reinforcement member and a wiring substrate are pasted up.

[0032] thereby — a package — small and a light weight — while thin-shape-izing, the high semiconductor integrated circuit equipment and its manufacture approach of safety can be offered.

[0033] Furthermore, other semiconductor integrated circuit equipment and its manufacture approach of this invention use a thermosetting rubber modified epoxy resin for the binder on which a reinforcement member and a wiring substrate are pasted up.

[0034] While the yield of the adhesion process of the reinforcement member to a wiring substrate top improves and mass-production stability is secured by this, the surface smoothness of a package is securable.

[0035]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, in the complete diagram for explaining the gestalt of operation, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0036] (Gestalt 1 of operation) The top view showing the semiconductor integrated circuit equipment whose drawing 1 is the gestalt 1 of operation of this invention, a sectional view [ in / in drawing 2 / the II-II' cutting plane line of drawing 1 ], the top view in which drawing 3 shows the fundamental concept of a wiring substrate, the flow Fig. in which drawing 4 shows like the assembler of semiconductor integrated circuit equipment, and drawing 5 are the top views showing some wiring substrates in front of a cutting process.

[0037] First, drawing 1 and drawing 2 explain the configuration of the semiconductor integrated circuit equipment of the gestalt 1 of this operation.

[0038] The semiconductor integrated circuit equipment of the gestalt 1 of this operation For example, the semiconductor chip 1 with which it considered as the semiconductor package of the TBGA structure of 152 pins, and two or more bonding pads were formed on the principal plane, The flexible wiring substrate 2 (wiring substrate) with which wiring to which an end is connected to the bonding pad of a semiconductor chip 1 was formed, The solder resist 3 (insulator layer) formed on the principal plane of the flexible wiring substrate 2, With the solder bump 4 (bump electrode) who is formed on the principal plane of solder resist 3, and is connected to the other end of wiring through opening of this solder resist 3 It consists of reinforcement frames 5 (reinforcement member) arranged on the rear face of the flexible wiring substrate 2, and has the package structure where a part for the bonding area of a semiconductor chip 1 was covered with closure resin 6.

[0039] A semiconductor chip 1 is made into the shape of a flat-surface square for example, by circumference pad structure, and along with the periphery of a semiconductor chip 1, two or more bonding pads 7 (external terminal) are arranged in the shape of a square, and it is formed. Predetermined integrated circuits, such as a store circuit and a logical circuit, are formed on semi-conductor substrates, such as a silicon single crystal, and the bonding pad 7 which consists of ingredients, such as aluminum, as an external terminal of these integrated circuits is formed on the principal plane of a semiconductor chip 1 at this semiconductor chip 1.

[0040] The flexible wiring substrate 2 consists of a tape 8 (substrate base material) used as the base material of this flexible wiring substrate 2, and wiring 10 pasted up through a binder 9 on the principal plane of this tape 8, and the center section of this flexible wiring substrate 2 is a bigger configuration than a semiconductor chip 1, and opening of it is carried out so that the principal plane of this semiconductor chip 1 may be exposed. The inner lead 11 (lead section) of the end of the wiring 10 which constitutes this flexible wiring substrate 2 is connected to the bonding pad 7 of a semiconductor chip 1, and the bump land 12 (land) of the other end is connected to the solder bump 4.

[0041] As the wiring 10 of this flexible wiring substrate 2 is shown in drawing 3 (the case of 56 pins is illustrated that leading about of wiring 10 becomes clear) Wiring 10 is taken about, respectively from the bump land 12 arranged by the shape of a square at two trains of inner circumference and a periphery to an inner lead 11. It lets only two places (A section) of the wiring 10 of two pass between the bump lands 12 of inner circumference about



each side, and, as for this wiring 10, lets the wiring 10 of one pass between the bump lands 12, as for all the remainder. Moreover, the wiring 10 prolonged in the direction of a periphery from the bump land 12 is a circuit pattern connected to the pad for a test before tape cutting.

[0042] The tape 8 which constitutes this flexible wiring substrate 2 consists of ingredients, such as polyimide resin, and ingredients, such as Cu, are used for wiring 10 as a core material. nickel plating layer according [ the part of the inner lead 11 of this wiring 10 ] to ingredients, such as nickel, to the front face and rear face of a core material is formed, and Au plating layer which consists of ingredients, such as Au, on the front face of this nickel plating layer is formed further. For example, as for the thickness of a tape 8, the about 1-micrometer plating layer is formed in the core material with a thickness of about 18 micrometers by width of face of about 35 micrometers, respectively, as for 50 micrometers, about 75 micrometers, and wiring 10. In addition, the part of the inner lead 11 of wiring 10 is possible also for using that by which Sn plating layer is formed in the front face and rear face of a core material of Cu, and has an advantage by nonelectrolytic plating processing etc. in this case.

[0043] Solder resist 3 is formed in the predetermined range except the connection part by which the solder bump 4 is connected to the bump land 12 of wiring 10 through opening of solder resist 3 on the principal plane of this wiring 10, in order to consist of insulating materials for example, by photosensitive polyimide resin etc. and to protect electrically the exposed part of the wiring 10 of the flexible wiring substrate 2. For example, the thickness of solder resist 3 is formed in 15 micrometers and about 20 micrometers.

[0044] The solder bump 4 is connected to the bump land 12 of the wiring 10 which consists of ingredients, such as Pb-Sn and an alloy which uses Pb-Sn etc. as a principal component, and constitutes the flexible wiring substrate 2. this solder bump 4 — the circumference of an outside [ periphery / of a semiconductor chip 1 ] field — the shape of a square — two trains — and mutual spacing is put in order and prepared in 0.5mm pitch. For example, the solder bump's 4 magnitude is formed in the diameter of about 0.3mm.

[0045] It consisted of Cu system ingredients, such as Cu and Cu alloy which uses Cu as a principal component, and was formed in the square frame configuration in the magnitude from [ near the periphery of a semiconductor chip 1 ] to a package periphery, and the reinforcement frame 5 used the binders 13, such as a thermosetting epoxy resin film, for the rear face of the tape 8 which constitutes the flexible wiring substrate 2, and is pasted up on it. For example, the thickness of the reinforcement frame 5 is formed in about 0.2mm.

[0046] The semiconductor integrated circuit equipment constituted as mentioned above For example, when one side was the semiconductor chip 1 of the flat-surface square which is 7mm, enlarged each side only 2mm to the appearance of this semiconductor chip 1. It has the TBGA package structure where the solder bump 4 is called the fan-out-circumference pad with which it is two trains and is arranged in 0.5mm pitch around an outside [ periphery / of a semiconductor chip 1 ] field, by being formed as a package appearance of the flat-surface square whose one side is 11mm.

[0047] This semiconductor integrated circuit equipment is formed as semiconductor packages, such as DRAM (Dynamic Random Access Memory) and a microprocessor, and is mounted in the mounting substrate which constitutes a memory card etc. with semiconductor packages, such as a memory controller of other structures, etc. Pocket devices, such as a portable telephone and a handicap type personal computer, are equipped with this memory card possible [ insertion and detachment ] through an external connection terminal.

[0048] Next, based on the process flow of drawing 4, the outline like the assembler of a semiconductor package is explained about an operation of the gestalt 1 of this operation. In addition, in drawing 4, drawings of a core and right-hand side are a top view corresponding to a left-hand side process flow, and a side elevation, respectively.

[0049] In advance of the assembly of introduction and a semiconductor package, the solder ball 14 which forms the flexible wiring substrate 2 with which the wiring 10 which has an inner lead 11 and the bump land 12 was formed on the tape 8, the semiconductor chip 1 with which the predetermined integrated circuit which has a bonding pad 7 was formed, closure resin 6, the reinforcement frame 5, a binder 13; flux, and the solder bump 4 is prepared. The flexible wiring substrate 2 is in the condition of having been wound around the reel.

[0050] After this flexible wiring substrate 2 forms metals, such as thin Cu, by adhesion etc. and forms a pattern required on a metal by the resist like a TAB tape using a photograph technique on the tape 8 which consists of polyimide resin etc., it can form the required wiring 10 (an inner lead 11 is also included) by etching, and can make it by performing plating processing of nickel and Au to that front face further.

[0051] First, in the lead bonding process of an inner lead 11, alignment is performed so that the relative position of the inner lead 11 of the end of the wiring 10 of the flexible wiring substrate 2 by which sequential supply is carried out from the condition of having been wound around the reel, and the bonding pad 7 of a semiconductor chip 1 may be in agreement.

[0052] And an inner lead 11 is struck and taken down on the bonding pad 7 of a semiconductor chip 1, making it deform in the shape of serpentine with a bonding tool, as shown in the cross section of drawing 2; for example, connection between an inner lead 11 and a bonding pad 7 is made by technique, such as ultrasonic thermocompression bonding, (step 401).

[0053] Then, in a resin seal process, closure resin 6, such as an epoxy resin, is applied to the lead bonding part of the bonding pad 7 of a semiconductor chip 1, and the inner lead 11 of the wiring 10 of the flexible wiring substrate 2 from a dispenser 15, the resin seal of the joint of a semiconductor chip 1 and the flexible wiring substrate 2 is carried out to it, and dependability is raised to it (step 402).

[0054] In order to raise dependability, the fire-resistant epoxy resin which added bromine (Br), antimony (Sb), or its both is used as closure resin 6. Even if it generates heat locally by the latch rise of the device in a semiconductor integrated circuit component etc., by closing with flame retardant resin, it is possible to prevent the spread of a fire.

[0055] Then, in the attachment process of the reinforcement frame 5, after sticking a binder 13 on the rear face of the reinforcement frame 5 (step 403), the reinforcement frame 5 is stuck on the rear face of the tape 8 of the flexible wiring substrate 2 through this binder 13 (step 404).

[0056] In addition, at the attachment process of the reinforcement frame 5, a binder 13 may be attached to the flexible wiring substrate 2, and the reinforcement frame 5 may be stuck on this. Moreover, thermosetting resin, thermoplastics, and adhesive resin are used for a binder 13, and there are spreading, printing, and film attachment in the formation approach. Adhesion in ordinary temperature is possible for adhesive resin. Correction of poor attachment is possible for thermoplastics. However, the thermosetting resin which was excellent in thermal resistance since it passed through several high temperature processing by solder ball formation, mounting to a substrate, etc. after attachment is desirable, and the stability of reinforcement being stabilized after the adhesive reservation at the time of attachment and attachment, and a crack not occurring further, to rubber denaturation EPOSHIKI resin is desirable. Moreover, the film attachment from reservation of surface smoothness and prevention of the flash of a binder 13 is desirable.

[0057] Furthermore, in the solder bump's 4 bump attachment process, solder resist 3 is formed on the principal plane of the wiring 10 of the flexible wiring substrate 2, the exposed part of wiring 10 is protected electrically and opening is formed in the location of the bump land 12 of the wiring 10 of this solder resist 3 after that.

[0058] And the solder ball 14 is joined to the bump land 12 of the wiring 10 of the corresponding flexible wiring substrate 2 through opening of this solder resist 3 using flux, and the solder bump 4 is formed (step 405).

[0059] In this bump attachment process, it is possible to station the solder bump 4 in 0.5mm pitch corresponding to the formation of a \*\* pitch by formation of the solder resist 3 formed on wiring 10, improvement in opening precision, improvement in patterning in wiring formation of the flexible wiring substrate 2 and etching precision, etc.

[0060] As it is the phase which the lead bonding process of an inner lead 11 so far, the resin seal process by closure resin 6, the attachment process of the reinforcement frame 5, and the solder bump's 4 bump attachment process ended, for example, is shown in drawing 5, a semiconductor chip 1 will be in the condition that bonding was carried out at the flexible wiring substrate 2.

[0061] In addition, in drawing 5, a test pad for a sprocket hole to show the case of 56 pins to an example that leading about of wiring 10 becomes clear, show the part equivalent to a part for the piece of a semiconductor package in the tape-like flexible wiring substrate 2 wound around the reel, and for 16 send out the flexible wiring substrate 2 and 17 to measure an electrical property and 18 are outer lead apertures.

[0062] Then, in the tape cutting process of the flexible wiring substrate 2, on an outside, the periphery edge of a tape 8 is cut a little from the periphery section of a semiconductor chip 1, for example, the package appearance of the flat-surface square whose one side is 11mm is formed (step 406).

[0063] Finally, it completes like the assembler of the semiconductor package of the gestalt 1 of this operation through sorting and a marking process (step 407). In addition, it may set like the assembler of this semiconductor package, and reverse is sufficient as the bump attachment process of step 405, and the tape cutting process of step 406.

[0064] Thereby, in the case of the gestalt 1 of this operation, the semiconductor package structure of TBGA called the fan-out-circumference pad structure where a bonding pad 7 arranges to the periphery of a semiconductor chip 1 in the shape of a square, is arranged, and is connected to it through the wiring 10 of the flexible wiring substrate 2 from this bonding pad 7 and where are two trains and the solder bump 4 was formed around the outside [ periphery / of a semiconductor chip 1 ] field in 0.5mm pitch can be completed.

[0065] According to the semiconductor integrated circuit equipment of the gestalt 1 of this operation, it sets in the so-called TBGA semiconductor package structure of a fan-out-circumference pad. The solder bump 4 on the outskirts therefore, in two trains And while enabling \*\* pitch-ization by 0.5mm pitch by improvement in solder resist 3 and the formation precision of wiring 10 by arranging in 0.5mm pitch The solder bump's 4 number of the circumference can be lessened, and leading about of the wiring 10 on the flexible wiring substrate 2 can be made easy, and a wire length can be made into the shortest.

[0066] Furthermore, in the memory card in which this semiconductor package is mounted, also with the mounting substrate which constitutes this memory card, leading about of wiring can be made easy like the flexible wiring substrate 2, and a wire length can be shortest-ized.

[0067] Moreover, by sticking the reinforcement frame 5 on the rear face of the tape 8 of the flexible wiring substrate 2, this reinforcement frame 5 can protect the curvature of the flexible wiring substrate 2, the solder bump's 4 height dispersion can be suppressed, and the surface smoothness of a package can be raised.

[0068] (Gestalt 2 of operation) The sectional view showing the semiconductor integrated circuit equipment whose drawing 6 is the gestalt 2 of operation of this invention, the sectional view in which drawing 7 - drawing 9 show the semiconductor integrated circuit equipment of a modification, and drawing 10 are flow Figs. in which it is shown like the assembler of semiconductor integrated circuit equipment.

[0069] The semiconductor integrated circuit equipment of the gestalt 2 of this operation is made into the semiconductor package of the TBGA structure called the fan-out-circumference pad of 152 pins like the gestalt 1 of said operation. The differences with the gestalt 1 of said operation are the point formed in heat dissipation structure in order to add a reinforcement member to the reinforcement effectiveness and to give the heat dissipation effectiveness, and a point of having pasted up this reinforcement member on the rear face of a wiring substrate beforehand in advance of the assembly of semiconductor integrated circuit equipment.

[0070] Namely, it sets to the semiconductor package of the gestalt 2 of this operation: For example, the semiconductor chip 1 with which the bonding pad 7 was formed as shown in drawing 6, the flexible wiring substrate 2 (wiring substrate) with which the wiring 10 which has an inner lead 11 and the bump land 12 on a tape 8 was formed, It consists of solder resist 3 (insulator layer), a solder bump 4 (bump electrode), reinforcement frame 5a (reinforcement member), and closure resin 6, and the periphery section of reinforcement frame 5a is bent in the shape of L character.

[0071] in addition, about reinforcement frame 5a which is the description of the gestalt 2 of this operation As the periphery section is shown in the modification of drawing 7 - drawing 9 else [ in the case of bending in the shape of L character ] like drawing 6, respectively When making the periphery section of 5d of reinforcement frames, the inner circumference section, and a core project when bending the periphery section and the inner circumference section of reinforcement frame 5c when bending the inner circumference section of reinforcement frame 5b in the shape of L character, and forming in a concave, and forming in a crest configuration, in consideration of heat dissipation nature, various deformation configurations can be considered like

[0072] The semiconductor package constituted as mentioned above can be assembled based on the process flow of drawing 10, is assembled below, and explains the outline of a process.

[0073] Introduction and the gestalt 1 of said operation perform the attachment process of reinforcement frame 5a after the resin seal process by closure resin 6 in advance of the lead bonding process of an inner lead 11 with the gestalt 2 of this operation.

[0074] First, in the attachment process of this reinforcement frame 5a, after sticking a binder 13 on the rear face of reinforcement frame 5a (step 1001), reinforcement frame 5a is stuck on the rear face of the tape 8 of the flexible wiring substrate 2 through this binder 13 (step 1002). It is supplied where the flexible wiring substrate 2 with which this reinforcement frame 5a was stuck as well as the gestalt 1 of said operation is wound around a reel.

[0075] henceforth, pass the lead bonding process (step 1003) of an inner lead 11, the resin seal process (step 1004) by closure resin 6, the solder bump's 4 bump attachment process (step 1005), the tape cutting process (step 1006) of the flexible wiring substrate 2, sorting, and a marking process (step 1007) as well as the gestalt 1 of said operation -- it completes like the assembler of the semiconductor package of the gestalt 2 of this operation.

[0076] Therefore, according to the semiconductor integrated circuit equipment of the gestalt 2 of this operation, in the so-called TBGA semiconductor package structure of a fan-out-circumference pad, while enabling \*\* pitch-ization by 0.5mm pitch like the gestalt 1 of said operation, leading about of the wiring 10 on the flexible wiring substrate 2 and wiring on a mounting substrate can be made easy, and a wire length can be shortest-ized.

[0077] Especially, while being able to prevent the curvature of the flexible wiring substrate 2, being able to

suppress the solder bump's 4 height dispersion and being able to raise the surface smoothness of a package by forming reinforcement frame 5a in heat dissipation structure in the gestalt 2 of this operation, it can be made easy to radiate heat in the heat generated in a semiconductor chip 1, and the heat dissipation nature of a package can be raised.

[0078] Moreover, it can simplify like the assembler from the lead bonding process of the subsequent inner leads 11 to the tape cutting process of the flexible wiring substrate 2 by pasting up reinforcement frame 5a on the rear face of the tape 8 of the flexible wiring substrate 2 beforehand.

[0079] (Gestalt 3 of operation) The top view showing the semiconductor integrated circuit equipment whose drawing 11 is the gestalt 3 of operation of this invention, and drawing 12 are the top views showing the semiconductor integrated circuit equipment of a modification.

[0080] it be the point which the semiconductor integrated circuit equipment of the gestalt 3 of this operation be make into the semiconductor package of the TBGA structure call a fan-out-circumference pad like the gestalt 1 of said operation, and do not arrange the bump electrode which should be arrange in the four corners in order that the difference with the gestalt 1 of said operation may make leading about of wiring still easier, or be connected to other bump electrodes through wiring.

[0081] That is, in the semiconductor package of the gestalt 3 of this operation, as shown, for example in drawing 11, it is the semiconductor package of 136 pins, without forming four solder bumps 4 who should be stationed in each corner among the solder bumps 4 (bump electrode) who should be prepared around a package in two trains.

[0082] In addition, when leading about of wiring 10 is taken into consideration, as shown in drawing 12, what connects with other solder bumps 4 for glands through wiring 10, for example is considered as a modification from four solder bumps 4 stationed in each corner.

[0083] Therefore, according to the semiconductor integrated circuit equipment of the gestalt 3 of this operation, in the so-called TBGA semiconductor package structure of a fan-out-circumference pad, the curvature of the flexible wiring substrate 2 can be prevented like the gestalt 1 of said operation; the solder bump's 4 height dispersion can be suppressed, and the surface smoothness of a package can be raised.

[0084] In the gestalt 3 of this operation, especially by not stationing the solder bump 4 who should be stationed in the four corners, or connecting with other solder bumps 4 through wiring 10 Since what is necessary is to let only the wiring 10 of one pass among the solder bumps 4 of inner circumference, while enabling \*\* pitch-ization by 0.5mm pitch, further, leading about of the wiring 10 on the flexible wiring substrate 2 and wiring on a mounting substrate can be made easy, and a wire length can be shortest-ized.

[0085] (Gestalt 4 of operation) Drawing 13 is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 4 of operation of this invention.

[0086] The semiconductor integrated circuit equipment of the gestalt 4 of this operation is made into the semiconductor package of the TBGA structure called a fan-out-circumference pad like the gestalt 1 of said operation, and the difference with the gestalt 1 of said operation is a point it was made not to arrange a reinforcement member at the rear face of a wiring substrate.

[0087] That is, in the semiconductor package of the gestalt 4 of this operation, as shown, for example in drawing 13, it consists of a flexible wiring substrate 2 (wiring substrate) with which the semiconductor chip 1 with which the bonding pad 7 was formed, and the wiring 10 which has an inner lead 11 and the bump land 12 on a tape 8 were formed, solder resist 3 (insulator layer), and a solder bump 4 (bump electrode), and has the package structure where a part for the bonding area of a semiconductor chip 1 was covered with closure resin 6.

[0088] Therefore, according to the semiconductor integrated circuit equipment of the gestalt 4 of this operation, it sets in the so-called TBGA semiconductor package structure of a fan-out-circumference pad. Although the surface smoothness in a package is not fully obtained compared with the gestalt 1 of said operation, while enabling \*\* pitch-ization by 0.5mm pitch like the gestalt 1 of said operation Leading about of the wiring 10 on the flexible wiring substrate 2 and wiring on a mounting substrate can be made easy, and a wire length can be shortest-ized.

[0089] (Gestalt 5 of operation) The sectional view showing the semiconductor integrated circuit equipment whose drawing 14 is the gestalt 5 of operation of this invention, the top view where drawing 15 looked at semiconductor integrated circuit equipment from the semiconductor chip side, drawing 16 - drawing 20 are the explanatory views showing the contents of a signal of a bump electrode.

[0090] It is the point which standardized the dimension of the reinforcement member which the semiconductor integrated circuit equipment of the gestalt 5 of this operation is made into the semiconductor package of the TBGA structure called a fan-out-circumference pad like the gestalten 1-4 of said operation, and the difference

with the gestalten 1-4 of said operation defines specifications, such as a dimension of a semiconductor package, especially is arranged at a part for the flesh side surface part of a wiring substrate.

[0091] When the bump electrode is arranged in N train and mutual spacing is made into P pitch in standardization of the dimension of this reinforcement member, it is more than the dimension of  $x(N-1)P$  about the dimension from the inner circumference edge of a reinforcement member to a periphery edge. And (N+1) the case where form in within the limits below the dimension of  $xP$ , and it forms with the dimension of the minimum  $x(N-1)P$  in the gestalt 5 of this operation is shown in an example.

[0092] Namely, it sets to the semiconductor package of the gestalt 5 of this operation. For example, as shown in drawing 14, the solder bump 4 (bump electrode) is stationed in two trains around an outside [periphery / of a semiconductor chip 1] field. And in the structure where the reinforcement frame 5 (reinforcement member) has been arranged, the dimension from the inner circumference edge of this reinforcement frame 5 to a periphery edge and the width of face W for the so-called frame part are formed in the rear face of the flexible wiring substrate 2 (wiring substrate) at the almost same dimension as the solder bump's 4 pitch P. If this semiconductor package is seen from a semiconductor chip 1 side, it will become like drawing 15.

[0093] Concretely, this semiconductor package is formed as the flat-surface square whose dimension L of one side is 11.0mm, and a package appearance whose thickness H is about 0.8mm. A ball with a diameter of about 0.3mm is arranged in 0.5mm pitch at two trains, and the solder bump 4 has become 10.0mm between the solder bumps 4 of 9.0mm and peripheries between the solder bumps 4 of inner circumference.

[0094] Furthermore, the reinforcement frame 5 which is the description of the gestalt 5 of this operation is 0.5mm in the same width of face W as the solder bump's 4 pitch P, is formed in the thickness of about 0.2mm, and is arranged between the center lines of the solder bump 4 stationed at two trains. The dimension l of the semiconductor chip 1 arranged at opening of this reinforcement frame 5 serves as the semiconductor chip 1 of the flat-surface square whose one side is 7.0mm.

[0095] Moreover, this semiconductor package is formed as packages, such as a microcomputer, memory, and ASIC (Application Specific Integrated Circuit), for example, is mounted in a mounting substrate with the semiconductor package of other structures etc., and is used for pocket devices, such as a portable telephone and a handicap type personal computer.

[0096] As an example, the microcomputer of 216 pins is formed and the contents of a signal of the solder bump 4 in this case are explained using drawing 16 - drawing 20. On the basis of an index corner, a line writing direction is assigned to A-AJ, it assigns the direction of a train to 1-29, respectively, drawing 16 shows the solder bump's 4 pin number in false, and the signal name corresponding to each pin number shows it to drawing 17 - drawing 20. In addition, as a microcomputer, it is not limited to this.

[0097] It consists of CPU and ROM/RAM which are not illustrated, various controllers, an interface, etc., and these internal circuitries have I/O possible for this microcomputer with the exterior through the solder bump 4 to whom the signal was assigned like drawing 17 - drawing 20 while connecting mutually with a 32 bits data bus and a 26-bit address bus.

[0098] Furthermore, the various power sources for driving an internal circuitry are supplied to this microcomputer through the solder bump 4; and various control signals, such as an interruption request, mode selection, data selection, a chip select, and LCD control, are also inputted or outputted to it. In others, the PCMCIA port for PC cards, the serial port for serial communication, etc. are formed.

[0099] Therefore, while being able to acquire the same effectiveness as the gestalten 1-4 of said operation in the so-called TBGA semiconductor package structure of a fan-out-circumference pad according to the semiconductor integrated circuit equipment of the gestalt 5 of this operation By standardizing especially the dimension of the reinforcement frame 5 and forming the width of face for a frame part in the almost same dimension as the solder bump's 4 pitch, the curvature of the flexible wiring substrate 2 can be suppressed and the surface smoothness of a package can be secured.

[0100] Furthermore, by standardizing the width of face of the reinforcement frame 5 in the almost same dimension as the solder bump's 4 pitch, since opening of the reinforcement frame 5 becomes large while being able to aim at reduction of the cost by common use of the reinforcement frame 5, the semiconductor chip 1 with which classes, such as a microcomputer, memory, and ASIC, differ, the semiconductor chip 1 with which dimensions differ can be carried, and the versatility of a semiconductor chip 1 can be raised.

[0101] (Gestalt 6 of operation) The sectional view showing the semiconductor integrated circuit equipment whose drawing 21 is the gestalt 6 of operation of this invention, and drawing 22 are the top views which looked at semiconductor integrated circuit equipment from the semiconductor chip side.

[0102] The semiconductor integrated circuit equipment of the gestalt 6 of this operation is made into the TBGA structure called a fan-out-circumference pad like the gestalten 1-5 of said operation, it considers as the semiconductor package which standardized the dimension of a reinforcement member like especially the gestalt 5 of said operation, and the difference with the gestalt 5 of said operation is a point which formed the dimension of the standardized reinforcement member with the dimension of  $x(N+1)P$ .

[0103] Namely, it sets to the semiconductor package of the gestalt 6 of this operation. For example, as shown in drawing 21 and drawing 22, the solder bump 4 (bump electrode) is stationed in two trains around an outside [periphery / of a semiconductor chip 1] field. And in the structure where the reinforcement frame 5 (reinforcement member) has been arranged, it is formed in the rear face of the flexible wiring substrate 2 (wiring substrate) with the dimension to which the width of face W for a frame part of this reinforcement frame 5 increased the solder bump's 4 pitch P 3 times.

[0104] Concretely, this semiconductor package is formed as the flat-surface square whose dimension of one side is 15.0mm, and a package appearance whose thickness is about 0.8mm. A ball with a diameter of about 0.3mm is arranged in 0.5mm pitch at two trains, and the solder bump 4 has become 14.0mm between the solder bumps 4 of 13.0mm and peripheries between the solder bumps 4 of inner circumference.

[0105] Furthermore, the reinforcement frame 5 is 1.5mm in width of face W which increased the solder bump's 4 pitch P 3 times, and is formed in the thickness of about 0.2mm. The dimension of the semiconductor chip 1 arranged at opening of this reinforcement frame 5 serves as the semiconductor chip 1 of the flat-surface square whose one side is 7.3mm or 8x7.6mm.

[0106] Therefore, according to the semiconductor integrated circuit equipment of the gestalt 6 of this operation, it sets in the so-called TBGA semiconductor package structure of a fan-out-circumference pad. While being able to acquire the same effectiveness as the gestalten 1-4 of said operation, suppressing the curvature of the flexible wiring substrate 2 still like the gestalt 5 of said operation and securing the surface smoothness of a package. Reduction of the cost by common use of the reinforcement frame 5 and improvement in the versatility of a semiconductor chip 1 can be enabled.

[0107] Since the curvature of the flexible wiring substrate 2 can fully be suppressed and opening of the reinforcement frame 5 can also be especially enlarged enough in the gestalt 6 of this operation by increasing the width of face for a frame part of the reinforcement frame 5 3 times of the solder bump's 4 pitch, reservation of the surface smoothness of a package and improvement in the versatility of a semiconductor chip 1 can be reconciled.

[0108] In addition, in standardization of the dimension of a reinforcement frame 5 like the gestalt 6 of this operation, as an alternate long and short dash line shows to drawing 21, while it is also possible to form by dimension W' from the inner circumference edge of the tape 8 of the flexible wiring substrate 2 to a periphery edge and being able to improve a surroundings lump of closure resin 6 in this case, the stress concentration to the inner lead 11 which originates in temperature and is generated can be eased.

[0109] Moreover, since it is also possible to drawing 21 to form the reinforcement frame 5 for the reinforcement frame 5 by dimension W'' from the periphery edge of a semiconductor chip 1 to the periphery edge of the flexible wiring substrate 2 as a two-dot chain line shows and the heat generated in a semiconductor chip 1 through the reinforcement frame 5 in this case becomes easy to radiate heat, the heat dissipation nature of a package can be raised.

[0110] (Gestalt 7 of operation) The sectional view showing the semiconductor integrated circuit equipment whose drawing 23 is the gestalt 7 of operation of this invention, the top view where drawing 24 looked at semiconductor integrated circuit equipment from the semiconductor chip side, and drawing 25 are the top views which looked at semiconductor integrated circuit equipment from the bump electrode side.

[0111] The semiconductor integrated circuit equipment of the gestalt 7 of this operation is made into the TBGA structure called a fan-out-circumference pad like the gestalten 1-6 of said operation, it considers as the semiconductor package which standardized the dimension of a reinforcement member like especially the gestalten 5 and 6 of said operation, and the difference with the gestalten 5 and 6 of said operation is a point of having made it arrange a bump electrode by the triplex row.

[0112] Namely, it sets to the semiconductor package of the gestalt 7 of this operation. For example, as shown in drawing 23 - drawing 25, the solder bump 4 (bump electrode) is stationed by the triplex row around an outside [periphery / of a semiconductor chip 1] field. And in the structure where the reinforcement frame 5 (reinforcement member) has been arranged, it is formed in the rear face of the flexible wiring substrate 2 (wiring substrate) with the dimension to which the width of face W for a frame part of this reinforcement frame 5 doubled



the solder bump's 4 pitch P.

[0113] Concretely, as for this solder bump 4, the ball with a diameter of about 0.5mm is arranged in 0.8mm pitch at the triplex row. Furthermore, the reinforcement frame 5 is 1.6mm in width of face W which doubled the solder bump's 4 pitch P, is formed in the thickness of about 0.2mm, and is arranged between the center lines of the solder bump 4 of the most inner circumference and the outermost periphery which are arranged at a triplex row. That is, the center line for a frame part of the reinforcement frame 5 and the central solder bump's 4 center line are mostly arranged on the same line.

[0114] Moreover, although this semiconductor package is TBGA structure called the fan-out-circumference pad of 216 pins as shown in drawing 25, it cannot be overemphasized that it can apply also about the package of the formation of many pins which is not limited to this and has much more solder bumps 4.

[0115] Therefore, according to the semiconductor integrated circuit equipment of the gestalt 7 of this operation, it sets in the so-called TBGA semiconductor package structure of a fan-out-circumference pad. While being able to acquire the gestalten 1-4 of said operation, and the still more nearly same effectiveness as the gestalten 5 and 6 of said operation. Reservation of the surface smoothness of a package, reduction of the cost by common use of the reinforcement frame 5, and improvement in the versatility of a semiconductor chip 1 can be especially enabled by using the reinforcement frame 5 standardized by the optimal dimension also to the formation of many pins of a package.

[0116] (Gestalt 8 of operation) The sectional view showing the semiconductor integrated circuit equipment whose drawing 26 is the gestalt 8 of operation of this invention, and drawing 27 are the top views which looked at semiconductor integrated circuit equipment from the semiconductor chip side.

[0117] The semiconductor integrated circuit equipment of the gestalt 8 of this operation is made into the TBGA structure called a fan-out-circumference pad like the gestalten 1-7 of said operation. While it considers as the semiconductor package which standardized the dimension of a reinforcement member like especially the gestalten 5-7 of said operation and the difference with the gestalten 5-7 of said operation arranges a bump electrode by the triplex row, it is the point which formed the dimension of a reinforcement member with the dimension of  $x(N+1)P$ .

[0118] Namely, it sets to the semiconductor package of the gestalt 8 of this operation. For example, as shown in drawing 26 and drawing 27, the solder bump 4 (bump electrode) is stationed by the triplex row around an outside [periphery / of a semiconductor chip 1] field. And it sets in the structure where the reinforcement frame 5 (reinforcement member) has been arranged at the rear face of the flexible wiring substrate 2 (wiring substrate). The reinforcement frame 5 is formed by the dimension to which the width of face W for a frame part of this reinforcement frame 5 increased the solder bump's 4 pitch P 4 times, and width of face W of 3.2mm which specifically increased the solder bump's 4 0.8mm pitch 4 times.

[0119] Therefore, according to the semiconductor integrated circuit equipment of the gestalt 8 of this operation, it sets in the so-called TBGA semiconductor package structure of a fan-out-circumference pad. The same effectiveness as the gestalten 1-6 of said operation can be acquired. Still like the gestalt 7 of said operation. While being able to enable reservation of the surface smoothness of a package, reduction of the cost by common use of the reinforcement frame 5, and improvement in the versatility of a semiconductor chip 1 also to the formation of many pins. The optimal package structure is further realizable by forming the width of face for a frame part of the reinforcement frame 5 in 4 times of the solder bump's 4 pitch, and the optimal dimension of within the limits from the periphery edge of a semiconductor chip 1 to the periphery edge of the flexible wiring substrate 2 especially.

[0120] As mentioned above, although invention made by this invention person was concretely explained based on the gestalten 1-8 of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0121] For example, in the gestalt of said operation, although the semiconductor package of the TBGA structure called the fan-out-circumference pad of 152 pins and 216 pins was explained, this invention is not limited to the gestalt of said operation, and the number of bump electrodes can be suitably changed according to package specifications, such as an integrated circuit formed on a semiconductor chip.

[0122] Furthermore, it cannot be overemphasized that it can apply also about the case where other ingredients equipped with each property are used also about ingredients, such as a tape of the flexible wiring substrate as a wiring substrate, wiring and plating of an inner lead, solder resist as an insulator layer, and a solder bump as a bump electrode.

[0123] For example, it is desirable to have the property in which can mention ingredients, such as polyurethane besides a melamine, an acrylic, polystyrol, and polyimide and silicone, bear soldering temperature as solder resist,

and it is equal to being exposed to flux and a washing solvent at coincidence.

[0124] Moreover, when standardizing the dimension of a reinforcement frame, a solder bump's number of trains can be made to increase further, for example, when solder bumps are four trains, it can be made to arrange in 1.0mm pitch etc. in the case of 0.8mm pitch, five trains, and six trains. Also in this case, a reinforcement frame needs to form with the dimension standardized like the gestalt of said operation.

[0125] So the reinforcement frame can be made to have a dimension which is equal to the dimension of a semiconductor chip.

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among inventions indicated in this application is explained briefly.

[0126] (1) It is arranging the external terminal of a semiconductor chip to the periphery of a semiconductor chip, and arranging a bump electrode in two trains around an outside [ periphery of a semiconductor chip ] field.

Since the number of the circumference of a bump electrode can be lessened, leading about of wiring on the wiring substrate which connects a bump electrode and the external terminal of a semiconductor chip is made easy. And a wire length can be made into the shortest and it becomes possible to make leading about easy and to shortest-

size a wire length also with wiring on the mounting substrate with which this package is mounted further.

[0127] (2) Since this reinforcement member can protect the curvature of a wiring substrate by arranging a reinforcement member to the extension part to the circumference [ from / near the periphery of a semiconductor chip ] at the rear face of wiring substrate, it becomes possible to suppress height dispersion of a bump electrode and to raise the surface smoothness of a package.

[0128] (3) Also when arranging mutual spacing of bump electrode in 0.5mm pitch, since a bump electrode can be arranged in 0.5mm pitch, formation of photosensitive insulator layers, such as improvement in patterning in wiring formation of a wiring substrate and etching precision and solder resist further formed on wiring, and improvement in opening precision enable it to realize \*\* pitch-ization of a bump electrode.

[0129] (4) While realizing the key objective of suppressing the curvature of a wiring substrate by forming a reinforcement member in heat dissipation structure, since it can be made easy to radiate heat in the heat generated in a semiconductor chip, it becomes possible to raise the heat dissipation nature of a package.

[0130] (5) Since what is necessary is just not to arrange the bump electrode which should be arranged in the four corners, or to let wiring of one pass to the bump inter-electrode of the inner circumference of the two trains, respectively by connecting the bump electrode of four corners to other bump electrodes through wiring, it becomes possible further to take about wiring on a wiring substrate, and wiring on a mounting substrate easily.

[0131] (6) In the production process of semiconductor integrated circuit equipment, when especially a wiring substrate is wound in the shape of a reel, is supplied and is again wound in the shape of a reel after a resin seal by pasting up a reinforcement member on the rear face of a wiring substrate after a resin seal process, it becomes possible to suppress the curvature of a reinforcement member and to maintain display flatness.

[0132] (7) In the production process of semiconductor integrated circuit equipment, it becomes possible by pasting up a reinforcement member on the rear face of a wiring substrate beforehand to simplify like the assembler from the connection process of the lead section of wiring of a wiring substrate, and the external terminal of a semiconductor chip to the cutting process of the substrate base material of a wiring substrate.

[0133] (8) Above (1) - (7) In the semiconductor integrated circuit equipment of TBGA package structure called the so-called fan-out circumference pad, also, in the densification of a semiconductor chip, and the formation of many pins in accordance with high integration, while enabling many pin-ization of this semiconductor chip, it becomes possible to realize optimal package structure which was compatible in small [ of a package ], a light weight, thin-shape-izing, and the high mounting stability to a mounting substrate.

[0134] (9) Since the curvature of a wiring substrate can be suppressed by use of the reinforcement member standardized by the optimal dimension by standardizing the dimension of a reinforcement member also to small [ of the package currently called for with many pin-ization of a semiconductor chip ], a light weight, and thin-shape-izing when bump electrode is arranged in N train and mutual spacing is made into P pitch, it becomes possible to secure the surface smoothness of a package.

[0135] (10) Since the various semiconductor chips with which a class differs from a dimension etc. can be carried by using in common the reinforcement member by which the dimension was standardized, while aiming at reduction of the cost by common use of a reinforcement member, it becomes possible to raise the versatility of a semiconductor chip.

[0136] (11) The dimension of a reinforcement member especially (N-1) above the dimension of xP By. and (N+1) the thing for which it forms below in the dimension of xP and the center-line of the bump inter-electrode dimension arranged at the center line, and the most inner circumference and the outermost periphery of a



dimension of this reinforcement member is mostly arranged on the same line. The surface smoothness of a package is secured and it becomes possible to aim at reduction of cost, and improvement in the versatility of a semiconductor chip further.

[0137] (12) . It becomes possible to ease the stress concentration to the lead section of wiring which originates in temperature and is generated by being more than the dimension of xP and forming the dimension of a reinforcement member especially (N-1) below with the dimension from the inner circumference edge of the substrate base material of a wiring substrate to a periphery edge while being able to improve a surroundings lump of closure resin.

[0138] (13) . Since it can be made easy to radiate heat in the heat generated in a semiconductor chip through a reinforcement member by being more than the dimension of xP and forming the dimension of a reinforcement member especially (N-1) below with the dimension from the periphery edge of a semiconductor chip to the periphery edge of a wiring substrate, it becomes possible to raise the heat dissipation nature of a package.

[0139] (14) . Above (9) It becomes possible to realize TBGA package structure called the fan-out-circumference pad in which reservation of the surface smoothness of a package, reduction of cost, and improvement in the versatility of a semiconductor chip are possible by standardizing especially the dimension of a reinforcement member by - (13) also to small [ of the package accompanying the formation of many pins of a semiconductor chip ], a light weight, and thin-shape-izing.

[0140] (15) By using the closure resin of . semiconductor chip, and the binder of a reinforcement member as flame retardant resin, it becomes possible to raise the safety of a TBGA package.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the semiconductor integrated circuit equipment which is the gestalt 1 of operation of this invention.

[Drawing 2] It is a sectional view in the II-II' cutting plane line of drawing 1 in the gestalt 1 of operation of this invention.

[Drawing 3] In the gestalt 1 of operation of this invention, it is the top view showing the fundamental concept of a wiring substrate.

[Drawing 4] It is the flow Fig. in which it is shown like the assembler of the semiconductor integrated circuit equipment in the gestalt 1 of operation of this invention.

[Drawing 5] In the gestalt 1 of operation of this invention, it is the top view showing some wiring substrates in front of a cutting process.

[Drawing 6] It is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 2 of operation of this invention.

[Drawing 7] It is the sectional view showing the semiconductor integrated circuit equipment of the modification in the gestalt 2 of operation of this invention.

[Drawing 8] It is the sectional view showing the semiconductor integrated circuit equipment of other modifications in the gestalt 2 of operation of this invention.

[Drawing 9] It is the sectional view showing the semiconductor integrated circuit equipment of other modifications in the pan in the gestalt 2 of operation of this invention.

[Drawing 10] It is the flow Fig. in which it is shown like the assembler of the semiconductor integrated circuit equipment in the gestalt 2 of operation of this invention.

[Drawing 11] It is the top view showing the semiconductor integrated circuit equipment which is the gestalt 3 of

operation of this invention.

[Drawing 12] It is the top view showing the semiconductor integrated circuit equipment of the modification in the gestalt 3 of operation of this invention.

[Drawing 13] It is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 4 of operation of this invention.

[Drawing 14] It is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 5 of operation of this invention.

[Drawing 15] It is the top view which looked at the semiconductor integrated circuit equipment in the gestalt 5 of operation of this invention from the semiconductor chip side.

[Drawing 16] In the gestalt 5 of operation of this invention, it is the explanatory view showing the contents of a signal of a bump electrode.

[Drawing 17] In the gestalt 5 of operation of this invention, it is the explanatory view showing the contents of a signal of the bump electrode following drawing 16 .

[Drawing 18] In the gestalt 5 of operation of this invention, it is the explanatory view showing the contents of a signal of the bump electrode following drawing 17 .

[Drawing 19] In the gestalt 5 of operation of this invention, it is the explanatory view showing the contents of a signal of the bump electrode following drawing 18 .

[Drawing 20] In the gestalt 5 of operation of this invention, it is the explanatory view showing the contents of a signal of the bump electrode following drawing 19 .

[Drawing 21] It is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 6 of operation of this invention.

[Drawing 22] It is the top view which looked at the semiconductor integrated circuit equipment in the gestalt 6 of operation of this invention from the semiconductor chip side.

[Drawing 23] It is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 7 of operation of this invention.

[Drawing 24] It is the top view which looked at the semiconductor integrated circuit equipment in the gestalt 7 of operation of this invention from the semiconductor chip side.

[Drawing 25] It is the top view which looked at the semiconductor integrated circuit equipment in the gestalt 7 of operation of this invention from the bump electrode side.

[Drawing 26] It is the sectional view showing the semiconductor integrated circuit equipment which is the gestalt 8 of operation of this invention.

[Drawing 27] It is the top view which looked at the semiconductor integrated circuit equipment in the gestalt 8 of operation of this invention from the semiconductor chip side.

[Description of Notations]

- 1 Semiconductor Chip
- 2 Flexible Wiring Substrate (Wiring Substrate)
- 3 Solder Resist (Insulator Layer)
- 4 Solder Bump (Bump Electrode)
- 5, 5a-5d Reinforcement frame (reinforcement member)
- 6 Closure Resin
- 7 Bonding Pad (External Terminal)
- 8 Tape (Substrate Base Material)
- 9 Binder
- 10 Wiring
- 11 Inner Lead (Lead Section)
- 12 Bump Land (Land)
- 13 Binder
- 14 Solder Ball
- 15 Dispenser
- 16 Sprocket Hole
- 17 Test Pad
- 18 Outer Lead Aperture

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98073

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60  
23/28

識別記号

3 1 1

F I

H 0 1 L 21/60  
23/28

3 1 1 R  
E

審査請求 未請求 請求項の数19 O L (全 20 頁)

(21) 出願番号 特願平9-166193

(22) 出願日 平成9年(1997) 6月23日

(31) 優先権主張番号 特願平8-198920

(32) 優先日 平8 (1996) 7月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 橋爪 孝則

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 田中 直敬

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 佐伯 準一

神奈川県横浜市区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 弁理士 筒井 大和

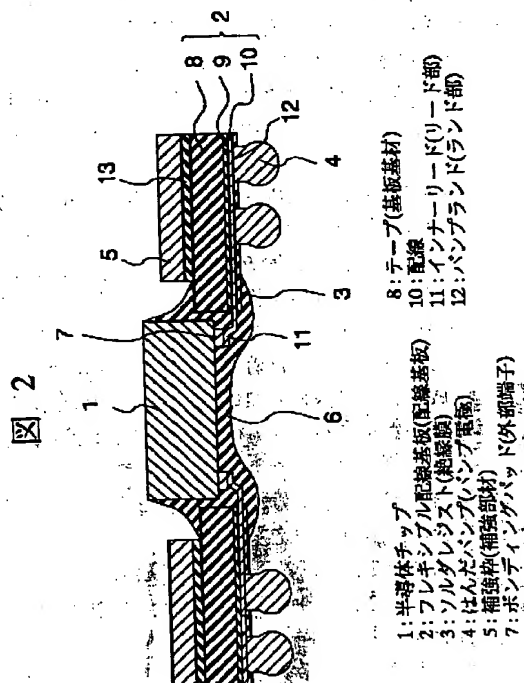
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 いわゆるファンアウトー周辺パッドのTBGAパッケージ構造において、半導体チップの高機能化、高性能化に伴う多ピン化と共に、小型、軽量、薄型化と高い実装安定性との両立が実現できる半導体集積回路装置を提供する。

【解決手段】 152ピンのTBGA構造の半導体パッケージであって、複数のボンディングパッド7が形成された半導体チップ1と、半導体チップ1のボンディングパッド7にインナーリード11が接続される配線10が形成されたフレキシブル配線基板2と、フレキシブル配線基板2の主面上に形成されるソルダレジスト3と、ソルダレジスト3の開口部を介して配線10のバンプランド12に接続されるはんだバンプ4と、フレキシブル配線基板2の裏面上に配置される補強枠5とから構成され、はんだバンプ4が半導体チップ1の外周より外側領域の周辺に二列で、かつ0.5mmピッチで配置されている。



(2)

1

## 【特許請求の範囲】

【請求項1】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板に形成された配線のランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子は前記半導体チップの周辺部に配置させ、前記半導体チップの外部端子に前記配線基板に形成された配線を介して接続される前記バンパ電極は前記半導体チップの外周より外側領域の周辺に二列で配置させ、かつ前記配線基板の裏面には前記半導体チップの外周近傍から周辺への延在部分に補強部材を配置させてなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記バンパ電極は、互いの間隔を0.5mmピッチで配置させてなることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記補強部材は、放熱構造に形成させてなることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記バンパ電極のうちの四隅に配置されるべきバンパ電極は、配置しないか、または他のバンパ電極に配線を介して接続させてなることを特徴とする半導体集積回路装置。

【請求項5】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板に形成された配線のランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子は前記半導体チップの周辺部に配置させ、前記半導体チップの外部端子に前記配線基板に形成された配線を介して接続される前記バンパ電極は前記半導体チップの外周より外側領域の周辺に二列で、かつ互いの間隔を0.5mmピッチで配置させてなることを特徴とする半導体集積回路装置。

【請求項6】 配線基板に形成された配線のリード部を半導体チップの主面上に配置された外部端子に接続する工程と、前記半導体チップの外部端子と前記配線のリード部との接続部分を樹脂封止する工程と、前記配線基板の裏面に前記半導体チップの外周近傍から周辺への延在部分に補強部材を接着する工程と、前記配線の主面上に形成された絶縁膜の開口部を介して前記配線のランド部に接合させてバンパ電極を形成する工程と、前記半導体チップの外周よりやや外側において前記配線基板の基板基材を切断する工程とからなることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 予め配線基板の裏面に半導体チップが配置される位置の外周近傍から周辺への延在部分に補強部材を接着する工程と、前記配線基板に形成された配線のリード部を前記半導体チップの主面上に配置された外部

2

端子に接続する工程と、前記半導体チップの外部端子と前記配線のリード部との接続部分を樹脂封止する工程と、前記配線の主面上に形成された絶縁膜の開口部を介して前記配線のランド部に接合させてバンパ電極を形成する工程と、前記半導体チップの外周よりやや外側において前記配線基板の基板基材を切断する工程とからなることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 配線基板に形成された配線のリード部を半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板に形成された配線のランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子は前記半導体チップの周辺部に配置させ、前記半導体チップの外部端子に前記配線基板に形成された配線を介して接続される前記バンパ電極は前記半導体チップの外周より外側領域の周辺に配置させ、かつ前記配線基板の裏面には前記半導体チップの外周近傍から周辺への延在部分に補強部材を配置させてなり、前記バンパ電極をN列で配置させ、かつ互いの間隔をPピッチとした場合に、前記補強部材の内周縁から外周縁までの寸法は、 $(N-1) \times P$ の寸法以上であり、かつ前記半導体チップの外周縁から前記配線基板の外周縁までの寸法以下に形成させてなることを特徴とする半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置であって、前記補強部材の内周縁から外周縁までの寸法は、 $(N-1) \times P$ の寸法以上であり、かつ前記配線基板の基板基材の内周縁から外周縁までの寸法以下に形成させてなることを特徴とする半導体集積回路装置。

【請求項10】 請求項9記載の半導体集積回路装置であって、前記補強部材の内周縁から外周縁までの寸法は、 $(N-1) \times P$ の寸法以上であり、かつ $(N+1) \times P$ の寸法以下に形成させてなることを特徴とする半導体集積回路装置。

【請求項11】 請求項10記載の半導体集積回路装置であって、前記バンパ電極を二列で配置させ、かつ互いの間隔を0.5mmピッチで配置させてなることを特徴とする半導体集積回路装置。

【請求項12】 請求項10記載の半導体集積回路装置であって、前記バンパ電極を三列で配置させ、かつ互いの間隔を0.8mmピッチで配置させてなることを特徴とする半導体集積回路装置。

【請求項13】 請求項10記載の半導体集積回路装置であって、前記補強部材の内周縁から外周縁までの寸法の中心線と、前記N列で配置された最内周と最外周との前記バンパ電極間の寸法の中心線とはほぼ同一線上に配置させてなることを特徴とする半導体集積回路装置。

【請求項14】 請求項1、5、8記載の半導体集積回路装置であって、前記半導体チップは、前記配線基板に形成された配線との接続部分を含めて、UL-94V0を満足する難燃性の樹脂で封止させてなることを特徴と

50

する半導体集積回路装置。

【請求項15】 請求項6、7記載の半導体集積回路装置の製造方法であって、前記樹脂封止する工程は、UL-94V0を満足する難燃性の樹脂で封止させてなることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項1、8記載の半導体集積回路装置であって、前記補強部材と前記配線基板とが熱硬化性のゴム変性エポキシ樹脂で接着されてなることを特徴とする半導体集積回路装置。

【請求項17】 請求項16記載の半導体集積回路装置であって、前記熱硬化性のゴム変性エポキシ樹脂は、UL-94V0を満足する難燃性の樹脂であることを特徴とする半導体集積回路装置。

【請求項18】 請求項6、7記載の半導体集積回路装置の製造方法であって、前記補強部材を接着する工程は、熱硬化性のゴム変性エポキシ樹脂で接着されてなることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項18記載の半導体集積回路装置の製造方法であって、前記熱硬化性のゴム変性エポキシ樹脂は、UL-94V0を満足する難燃性の樹脂であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置技術に関し、特に携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器において、半導体チップの高機能化、高性能化に伴う多ピン化とともに、小型、軽量、薄型化と高い実装安定性とを両立した最適なパッケージ構造が実現できる半導体集積回路装置およびその製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】 近年、電子機器の高機能化、高性能化とともに、小型、軽量、薄型化の動きが活発化してきている。これは、最近の携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器の急増によるところが大きい。また、個人で操作する機器のマン・マシンインタフェース的役割が増し、取り扱いの容易性や操作性が益々重要視されるようになってきている。今後、本格的なマルチメディア時代の到来とともに、この傾向は一層強まるものと思われる。

【0003】 こうした状況の中で、半導体チップの高密度化、高集積化の進展は止まるところを知らず、半導体チップの大型化や多電極化が進み、パッケージは急激に大型化してきている。このため一方では、パッケージの小型化を進めるために端子リードの狭ピッチ化も加速し、これとともにパッケージの実装も急速に難しくなっている。

【0004】 そこで、近年、半導体チップと同面積の超多ピン、高密度パッケージが提案されてきており、たとえばIEEE TRANSACTIONS ON COMPONENTS, PACKAGING, AND

MANUFACTURING TECHNOLOGY PART B, VOL. 14, NO. 4, NOVEMBER 1994「TBGA Package Technology」P564-P568などの文献に記載されるTBGA (Tape Ball Grid Array) のパッケージ技術などが挙げられる。

【0005】 このパッケージ構造は、はんだボールによるバンパ電極をアレイ状に配置させたBGAを外部接続端子としたパッケージであり、半導体チップとバンパ電極を接続する配線基板にTAB (Tape Automated Bonding) と同様のポリイミド・テープを使い、半導体チップの外部端子が周辺部に配置され、かつバンパ電極が半導体チップの外周より外側領域に配置される、いわゆるファンアウト・周辺パッドのTBGA構造となっている。

【0006】

【発明が解決しようとする課題】 ところで、前記のようなパッケージ構造において、本発明者が検討したところによれば、以下のようなことが考えられる。たとえば、前記のTBGA構造においては、バンパ電極のピッチを1.27mmに設定するように、実装基板への実装安定性を重視し、バンパ電極のピッチを大きくすると、バンパ電極のピン数に応じてパッケージ外形が大幅に大きくなり、携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器に搭載することが難しくなっている。

【0007】 そこで、本発明の目的は、いわゆるファンアウト・周辺パッドのTBGAパッケージ構造において、半導体チップの高機能化、高性能化に伴う多ピン化とともに、小型、軽量、薄型化と高い実装安定性とを両立した最適なパッケージ構造を実現することができる半導体集積回路装置およびその製造方法を提供することにある。

【0008】 さらに、本発明の他の目的は、パッケージの小型、軽量、薄型化に対しても、パッケージの平坦性を確保することができるとともに、コストの低減を図り、種類、外形寸法などにおける半導体チップの汎用性を向上させることができる半導体集積回路装置を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】 すなわち、本発明の半導体集積回路装置は、配線基板に形成された配線の一端側であるリード部を半導体チップの主面上の外部端子、他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置に適用されるものであり、半導体チップの外部端子を半導体チップの周辺部に配置させ、半導体チップの外部端子に配線基板に形成された配線を介して接続さ

(4)

5

れるパンプ電極を半導体チップの外周より外側領域の周辺に二列で配置させ、かつ配線基板の裏面に半導体チップの外周近傍から周辺への延在部分に補強部材を配置させてなる構造とするものである。

【0012】特に、この半導体集積回路装置の構造において、パンプ電極は互いの間隔を0.5mmピッチで配置させたり、補強部材は放熱構造に形成させたり、あるいはパンプ電極のうちの四隅に配置されるべきパンプ電極は、配置しないか、または他のパンプ電極に配線を介して接続させるようにしたものである。

【0013】また、本発明の他の半導体集積回路装置は、半導体チップの外部端子を半導体チップの周辺部に配置させ、半導体チップの外部端子に配線基板に形成された配線を介して接続されるパンプ電極を半導体チップの外周より外側領域の周辺に二列で、かつ互いの間隔を0.5mmピッチで配置させてなる構造とするものである。

【0014】さらに、本発明の半導体集積回路装置の製造方法は、配線基板に形成された配線のリード部を半導体チップの主面上に配置された外部端子に接続する工程と、半導体チップの外部端子と配線のリード部との接続部分を樹脂封止する工程と、配線基板の裏面に半導体チップの外周近傍から周辺への延在部分に補強部材を接着する工程と、配線の主面上に形成された絶縁膜の開口部を介して配線のランド部に接合させてパンプ電極を形成する工程と、半導体チップの外周よりやや外側において配線基板の基板基材を切断する工程とからなるものである。

【0015】また、本発明の他の半導体集積回路装置の製造方法は、予め、配線基板の裏面に半導体チップが配置される位置の外周近傍から周辺への延在部分に補強部材を接着する工程を行い、その後、配線基板に形成された配線のリード部を半導体チップの主面上に配置された外部端子に接続する工程、半導体チップの外部端子と配線のリード部との接続部分を樹脂封止する工程、配線の主面上に形成された絶縁膜の開口部を介して配線のランド部に接合させてパンプ電極を形成する工程、半導体チップの外周よりやや外側において配線基板の基板基材を切断する工程を行うようにしたものである。

【0016】よって、前記した半導体集積回路装置およびその製造方法によれば、いわゆるファンアウト周辺パッドのTBGAパッケージ構造において、パンプ電極を周辺に二列で配置させることにより、パンプ電極の周回数を少なくして、パンプ電極と半導体チップの外部端子とを接続する配線基板の配線の引き回しを容易にし、かつ配線長を最短にすることができ、さらにこのパッケージが実装される実装基板の配線についても、引き回しを容易にして配線長を最短化することができる。

【0017】さらに、半導体チップを除く、配線基板の裏面部分に補強部材を配置させることにより、この補強

6

部材により配線基板の反りを防ぎ、パンプ電極の高さばらつきを抑えてパッケージの平坦性を向上させることができる。

【0018】また、配線基板の配線形成におけるパターンニング、エッチング精度の向上、さらに配線上に形成するソルダレジストなどの感光性絶縁膜の形成、開口精度の向上によって、パンプ電極を0.5mmピッチで配置させることができるので、パンプ電極の狭ピッチ化を可能とすることができる。

10 【0019】さらに、補強部材を放熱構造に形成させることにより、配線基板の反りを抑えるという補強部材の主目的を実現するとともに、半導体チップに発生する熱を放熱しやすくし、パッケージの放熱性を高めることができる。

【0020】また、パンプ電極を四隅に配置させなかったり、または四隅のパンプ電極を他のパンプ電極に配線を介して接続させることにより、二列のうちの内周のパンプ電極間にそれぞれ一本の配線を通すだけでよいので、より一層、配線基板上の配線、実装基板上の配線の引き回しを容易に行うことができる。

20 【0021】これにより、半導体チップの高密度化、高集積化に伴う多ピン化においても、この半導体チップの多ピン化を可能にするとともに、パッケージの小型、軽量、薄型化と、実装基板への高い実装安定性を両立した最適なファンアウト周辺パッドと称されるTBGAパッケージ構造を実現することができる。

【0022】さらに、本発明の他の半導体集積回路装置は、パンプ電極をN列で配置させ、かつ互いの間隔をPピッチとした場合に、補強部材の内周縁から外周縁までの寸法は、 $(N-1) \times P$ の寸法以上であり、かつ半導体チップの外周縁から配線基板の外周縁までの寸法以下に形成させてなる構造とするものである。

30 【0023】この補強部材の内周縁から外周縁までの寸法は、好ましくは $(N-1) \times P$ の寸法以上であり、かつ配線基板の基板基材の内周縁から外周縁までの寸法以下に形成させ、さらに好ましくは $(N-1) \times P$ の寸法以上であり、かつ $(N+1) \times P$ の寸法以下に形成させるようにしたものである。

40 【0024】具体的には、パンプ電極を二列で配置させ、かつ互いの間隔を0.5mmピッチで配置させたり、またはパンプ電極を三列で配置させ、かつ互いの間隔を0.8mmピッチで配置させるようにし、この場合に補強部材の内周縁から外周縁までの寸法の中心線と、N列で配置された最内周と最外周とのパンプ電極間の寸法の中心線とはほぼ同一線上に配置させるようにしたものである。

50 【0025】よって、前記した他の半導体集積回路装置によれば、配線基板の裏面部分に配置される補強部材の寸法を規格化することにより、半導体チップの多ピン化とともに求められているパッケージの小型、軽量、薄型

(5)

化に対しても、最適な寸法に規格化された補強部材により配線基板の反りを抑えて、パッケージの平坦性を確保することができる。

【0026】さらに、寸法の規格化された補強部材を共通に用いることにより、種類、外形寸法などが異なる半導体チップを搭載することができるので、補強部材の共通使用によるコストの低減を図るとともに、半導体チップの汎用性を向上させることができる。

【0027】特に、補強部材の内周縁から外周縁までの寸法を、 $(N-1) \times P$ の寸法以上で、かつ $(N+1) \times P$ の寸法以下に形成して、この補強部材の寸法の中心線と、最内周と最外周とに配置されたバンプ電極間の寸法の中心線とをほぼ同一線上に配置させることにより、パッケージの平坦性を確保し、さらにコストの低減、半導体チップの汎用性の向上を図ることができる。

【0028】また、補強部材の寸法を、 $(N-1) \times P$ の寸法以上で、かつ配線基板の基板基材の内周縁から外周縁までの寸法以下で形成することにより、特に封止樹脂の回り込みを良くすることができるとともに、温度に起因して発生する配線のリード部への応力集中を緩和することができる。

【0029】さらに、補強部材の寸法を、 $(N-1) \times P$ の寸法以上で、かつ半導体チップの外周縁から配線基板の外周縁までの寸法以下で形成することにより、補強部材を介して半導体チップに発生する熱が放熱しやすくなるので、パッケージの放熱性を高めることができる。

【0030】これにより、特に補強部材の寸法を規格化することによって、半導体チップの多ピン化に伴うパッケージの小型、軽量、薄型化に対しても、パッケージの平坦性の確保、コストの低減、半導体チップの汎用性の向上が可能なファンアウトー周辺パッドと称されるTBGAパッケージ構造を実現することができる。

【0031】さらに、本発明の他の半導体集積回路装置およびその製造方法は、半導体チップの外部端子と配線のリード部との接続部分を封止する樹脂に難燃性の樹脂を使用するものである。さらに、補強部材と配線基板とを接着する接着材に難燃性の樹脂を使用するものである。

【0032】これにより、パッケージを小型、軽量、薄型化するとともに、安全性の高い半導体集積回路装置およびその製造方法を提供することができる。

【0033】さらに、本発明の他の半導体集積回路装置およびその製造方法は、補強部材と配線基板とを接着する接着材に熱硬化性のゴム変性エポキシ樹脂を使用するものである。

【0034】これにより、配線基板上への補強部材の接着工程の歩留が向上し、量産安定性が確保されとともに、パッケージの平坦性を確保することができる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態を図面

8

に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0036】（実施の形態1）図1は本発明の実施の形態1である半導体集積回路装置を示す平面図、図2は図1のII-II'切断線における断面図、図3は配線基板の基本概念を示す平面図、図4は半導体集積回路装置の組み立て工程を示すフロー図、図5は切断工程前の配線基板の一部を示す平面図である。

【0037】まず、図1および図2により本実施の形態1の半導体集積回路装置の構成を説明する。

【0038】本実施の形態1の半導体集積回路装置は、たとえば15.2ピンのTBGA構造の半導体パッケージとされ、主面上に複数のボンディングパッドが形成された半導体チップ1と、半導体チップ1のボンディングパッドに一端が接続される配線が形成されたフレキシブル配線基板2（配線基板）と、フレキシブル配線基板2の主面上に形成されるソルダレジスト3（絶縁膜）と、ソルダレジスト3の主面上に形成され、このソルダレジスト3の開口部を介して配線の他端に接続されるはんだバンプ4（バンプ電極）と、フレキシブル配線基板2の裏面上に配置される補強材5（補強部材）とから構成され、半導体チップ1のボンディング部分が封止樹脂6により覆われたパッケージ構造となっている。

【0039】半導体チップ1は、たとえば周辺パッド構造による平面四角形状とされ、半導体チップ1の周辺部に沿って複数のボンディングパッド7（外部端子）が四角形状に並べられて形成されている。この半導体チップ1には、たとえばシリコン単結晶などの半導体基板上に記憶回路、論理回路などの所定の集積回路が形成され、これらの集積回路の外部端子としてA1などの材料からなるボンディングパッド7が半導体チップ1の主面上に設けられている。

【0040】フレキシブル配線基板2は、たとえばこのフレキシブル配線基板2の基材となるテープ8（基板基材）と、このテープ8の主面上に接着材9を介して接着される配線10とから構成され、このフレキシブル配線基板2の中央部が半導体チップ1より大きな形状で、この半導体チップ1の主面が露出するように開口されている。このフレキシブル配線基板2を構成する配線10の一端のインナーリード11（リード部）は半導体チップ1のボンディングパッド7に接続され、他端のランブランド12（ランド部）がはんだバンプ4に接続されている。

【0041】このフレキシブル配線基板2の配線10は、たとえば図3（配線10の引き回しが明瞭になるように5.6ピンの場合を例示）に示すように、内周と外周との二列に四角形状で配置されるランブランド12からインナーリード11まで配線10がそれぞれ引き回され、この配線10はそれぞれの辺について二箇所（A



(6)

9

部) だけ内周のバンブランド12間に2本の配線10が通され、残りは全て1本の配線10がバンブランド12間に通されている。また、バンブランド12から外周方向に延びている配線10はテープ切断前のテスト用パッドに接続される配線パターンである。

【0042】このフレキシブル配線基板2を構成するテープ8は、たとえばポリイミド樹脂などの材料から構成され、また配線10には、たとえばCuなどの材料が芯材として用いられる。この配線10のインナーリード11の部分は、芯材の表面および裏面にNiなどの材料によるNiめっき層が形成され、さらにこのNiめっき層の表面にAuなどの材料からなるAuめっき層が形成されている。たとえば、テープ8の厚さは50 $\mu$ m、75 $\mu$ m程度、配線10は35 $\mu$ m程度の幅で18 $\mu$ m程度の厚さの芯材に1 $\mu$ m程度のめっき層がそれぞれ形成されている。なお、配線10のインナーリード11の部分は、Cuの芯材の表面および裏面にSnめっき層が形成されているものを用いることも可能であり、この場合には無電解めっき処理による利点などがある。

【0043】ソルダレジスト3は、たとえば感光性ポリイミド樹脂などによる絶縁材料から構成され、フレキシブル配線基板2の配線10の露出部分を電気的に保護するために、この配線10の主面上に、ソルダレジスト3の開口部を介してはんだバンパ4が配線10のバンブランド12に接続される接続部分を除く所定の範囲に形成されている。たとえば、ソルダレジスト3の厚さは15 $\mu$ m、20 $\mu$ m程度に形成されている。

【0044】はんだバンパ4は、たとえばPb-Snや、Pb-Snなどを主成分とする合金などの材料から構成され、フレキシブル配線基板2を構成する配線10のバンブランド12に接続されている。このはんだバンパ4は、半導体チップ1の外周より外側領域の周辺に四角形状で二列に、かつ互いの間隔が0.5mmピッチで並べられて設けられている。たとえば、はんだバンパ4の大きさは0.3mm程度の直径に形成されている。

【0045】補強枠5は、たとえばCuや、Cuを主成分とするCu合金などのCu系材料から構成され、半導体チップ1の外周近傍からパッケージ周辺部までの大きさで四角形の枠形状に形成され、フレキシブル配線基板2を構成するテープ8の裏面に、熱硬化性のエポキシ樹脂フィルムなどの接着材13を用いて接着されている。たとえば、補強枠5の厚さは0.2mm程度に形成されている。

【0046】以上のように構成される半導体集積回路装置は、たとえば一边が7mmの平面四角形の半導体チップ1の場合に、この半導体チップ1の外形に対してそれぞれの辺を2mmだけ大きくした、一边が11mmの平面四角形のパッケージ外形として形成され、はんだバンパ4が半導体チップ1の外周より外側領域の周辺に二列で、かつ0.5mmピッチで配置されるファンアウト周

10

辺パッドと称されるTBGAパッケージ構造となっている。

【0047】この半導体集積回路装置は、たとえばDRAM (Dynamic Random Access Memory)、マイクロプロセッサなどの半導体パッケージとして形成され、他の構造のメモリコントローラなどの半導体パッケージなどとともに、たとえばメモ리카ードなどを構成する実装基板に実装される。このメモ리카ードは、外部接続端子を通じて携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器に挿脱可能に装着されるようになっている。

【0048】次に、本実施の形態1の作用について、図4のプロセスフローに基づいて半導体パッケージの組み立て工程の概要を説明する。なお、図4において、中心、右側の図はそれぞれ左側のプロセスフローに対応する平面図、側面図である。

【0049】始めに、半導体パッケージの組み立てに先立って、テープ8上にインナーリード11およびバンブランド12を有する配線10が形成されたフレキシブル配線基板2、ボンディングパッド7を有する所定の集積回路が形成された半導体チップ1、封止樹脂6、補強枠5、接着材13、フラックス、はんだバンパ4を形成するはんだボール14などを用意する。フレキシブル配線基板2は、たとえばリールに巻回された状態となっている。

【0050】このフレキシブル配線基板2は、たとえばTABテープのように、ポリイミド樹脂などからなるテープ8の上に薄いCuなどの金属を接着などで形成し、写真技術を用いて金属上に必要なパターンをレジストにより形成した後、エッチングにより必要な配線10 (インナーリード11も含む) を形成し、さらにその表面にNi、Auのめっき処理を施すことにより作ることができる。

【0051】まず、インナーリード11のリードボンディング工程において、リールに巻かれた状態から順次供給されるフレキシブル配線基板2の配線10の一端のインナーリード11と、半導体チップ1のボンディングパッド7との相対位置が一致するように位置合わせを行う。

【0052】そして、インナーリード11を、ボンディングツールにより図2の断面に示すようにS字形状に変形させながら半導体チップ1のボンディングパッド7上に打ち下ろし、たとえば超音波熱圧着などの手法によりインナーリード11とボンディングパッド7との接続を行う (ステップ401)。

【0053】続いて、樹脂封止工程において、半導体チップ1のボンディングパッド7とフレキシブル配線基板2の配線10のインナーリード11とのリードボンディング部分に、たとえばエポキシ樹脂などの封止樹脂6をディスペンサ15から塗布し、半導体チップ1とフレキ



(7)

11

シブル配線基板2との接合部を樹脂封止して信頼性を高める(ステップ402)。

【0054】信頼性を向上させるため、封止樹脂6として、ブロム(Br)またはアンチモン(Sb)またはその両方を添加した難燃性のエポキシ樹脂を用いている。半導体集積回路素子内のデバイスのラッチアップなどで局所的に発熱しても難燃性樹脂で封止していることにより、延焼を防ぐことが可能である。

【0055】その後、補強枠5の貼り付け工程において、補強枠5の裏面に接着材13を貼り付けた後(ステップ403)、この接着材13を介して補強枠5をフレキシブル配線基板2のテープ8の裏面に貼り付ける(ステップ404)。

【0056】なお、補強枠5の貼り付け工程では、フレキシブル配線基板2に接着材13を付け、これに補強枠5を貼り付けてもよい。また、接着材13には熱硬化性樹脂、熱可塑性樹脂、粘着性樹脂が使用され、形成方法には塗布、印刷、フィルム貼り付けがある。粘着性樹脂は常温での接着が可能である。熱可塑性樹脂は貼り付け不良の修正が可能である。しかし、貼り付け後にはんだボール形成や基板への実装などで数回の高温処理を経ることから、耐熱性に優れた熱硬化性樹脂が望ましく、さらに、貼り付け時の接着性の確保、および貼り付け後に強度が安定し、クラックが発生しないなどの安定性から、ゴム変性エポキシ樹脂が望ましい。また、平坦性の確保および接着材13のはみ出しの防止から、フィルム貼り付けが望ましい。

【0057】さらに、はんだバンプ4のバンプ付け工程において、フレキシブル配線基板2の配線10の主面上にソルダレジスト3を形成して配線10の露出部分を電気的に保護し、その後、このソルダレジスト3の配線10のバンプランド12の位置に開口部を形成する。

【0058】そして、このソルダレジスト3の開口部を介して、フラックスを用い、はんだボール14を対応するフレキシブル配線基板2の配線10のバンプランド12に接合してはんだバンプ4を形成する(ステップ405)。

【0059】このバンプ付け工程においては、配線10上に形成するソルダレジスト3の形成、開口精度の向上や、フレキシブル配線基板2の配線形成におけるパターンニング、エッチング精度の向上などによって、狭ピッチ化に対応してはんだバンプ4を0.5mmピッチで配置することが可能となっている。

【0060】ここまでのインナーリード11のリードボンディング工程、封止樹脂6による樹脂封止工程、補強枠5の貼り付け工程、はんだバンプ4のバンプ付け工程が終了した段階で、たとえば図5に示すように、フレキシブル配線基板2には半導体チップ1がボンディングされた状態となる。

【0061】なお、図5においては、配線10の引き回

12

しが明瞭になるように56ピンの場合を例に示し、リールに巻かれたテープ状のフレキシブル配線基板2において、半導体パッケージの一個分に相当する部分を示し、16はフレキシブル配線基板2を送り出すためのスプロケット孔、17は電気特性を測定するためのテストパッド、18はアウターリード開孔部である。

【0062】その後、フレキシブル配線基板2のテープ切断工程において、半導体チップ1の外周部よりやや外側においてテープ8の外周縁部を切断して、たとえば一辺が11mmの平面四角形のパッケージ外形を形成する(ステップ406)。

【0063】最後に、選別、マーキング工程を経て本実施の形態1の半導体パッケージの組み立て工程が完了する(ステップ407)。なお、この半導体パッケージの組み立て工程において、ステップ405のバンプ付け工程とステップ406のテープ切断工程は逆でも構わない。

【0064】これにより、本実施の形態1の場合には、半導体チップ1の周辺部にボンディングパッド7が四角形状に並べて配置され、このボンディングパッド7からフレキシブル配線基板2の配線10を介して接続される、半導体チップ1の外周より外側領域の周辺に二列で、かつ0.5mmピッチではんだバンプ4が設けられたファンアウト周辺パッド構造と称されるTBGAの半導体パッケージ構造を完成させることができる。

【0065】従って、本実施の形態1の半導体集積回路装置によれば、いわゆるファンアウト周辺パッドのTBGA半導体パッケージ構造において、はんだバンプ4を周辺に二列で、かつ0.5mmピッチで配置することにより、ソルダレジスト3、配線10の形成精度の向上によって0.5mmピッチによる狭ピッチ化を可能にするとともに、はんだバンプ4の周回数を少なくして、フレキシブル配線基板2上の配線10の引き回しを容易にし、かつ配線長を最短にすることができる。

【0066】さらに、この半導体パッケージが実装されるメモリカードなどにおいて、このメモリカードを構成する実装基板についても、フレキシブル配線基板2と同様に配線の引き回しを容易にして配線長を最短化することができる。

【0067】また、フレキシブル配線基板2のテープ8の裏面に補強枠5を貼り付けることにより、この補強枠5によりフレキシブル配線基板2の反りを防ぎ、はんだバンプ4の高さばらつきを抑えてパッケージの平坦性を向上させることができる。

【0068】(実施の形態2)図6は本発明の実施の形態2である半導体集積回路装置を示す断面図、図7～図9は変形例の半導体集積回路装置を示す断面図、図10は半導体集積回路装置の組み立て工程を示すフロー図である。

【0069】本実施の形態2の半導体集積回路装置は、

50

(8)

13

前記実施の形態1と同様に152ピンのファンアウトー周辺パッドと称されるTBGA構造の半導体パッケージとされ、前記実施の形態1との相違点は、補強部材を、補強効果に加えて放熱効果を持たせるために放熱構造に形成するようにした点と、この補強部材を半導体集積回路装置の組み立てに先立って、予め配線基板の裏面に接着するようにした点である。

【0070】すなわち、本実施の形態2の半導体パッケージにおいては、たとえば図6に示すように、ボンディングパッド7が形成された半導体チップ1、テープ8にインナーリード11およびバンブランド12を有する配線10が形成されたフレキシブル配線基板2（配線基板）、ソルダレジスト3（絶縁膜）、はんだバンパ4（バンパ電極）、補強棒5a（補強部材）および封止樹脂6から構成され、補強棒5aの外周部がL字状に折り曲げられている。

【0071】なお、本実施の形態2の特徴である補強棒5aについては、図6のように外周部をL字状に折り曲げる場合の他に、たとえば図7～図9の変形例にそれぞれ示すように、補強棒5bの内周部をL字状に折り曲げる場合、補強棒5cの外周部と内周部とを折り曲げて凹状に形成する場合、補強棒5dの外周部、内周部と中心部を突出させて山形状に形成する場合などのように、放熱性を考慮して種々の変形形状が考えられる。

【0072】以上のように構成される半導体パッケージは、たとえば図10のプロセスフローに基づいて組み立てることができ、以下に組み立て工程の概要を説明する。

【0073】始めに、前記実施の形態1では封止樹脂6による樹脂封止工程の後に行っていた補強棒5aの貼り付け工程を、本実施の形態2ではインナーリード11のリードボンディング工程に先立って行う。

【0074】まず、この補強棒5aの貼り付け工程において、補強棒5aの裏面に接着材13を貼り付けた後（ステップ1001）、この接着材13を介して補強棒5aをフレキシブル配線基板2のテープ8の裏面に貼り付ける（ステップ1002）。この補強棒5aが貼り付けられたフレキシブル配線基板2も、たとえば前記実施の形態1と同様にリールに巻回された状態で供給される。

【0075】以降は、前記実施の形態1と同様に、インナーリード11のリードボンディング工程（ステップ1003）、封止樹脂6による樹脂封止工程（ステップ1004）、はんだバンパ4のバンパ付け工程（ステップ1005）、フレキシブル配線基板2のテープ切断工程（ステップ1006）、選別、マーキング工程（ステップ1007）を経て本実施の形態2の半導体パッケージの組み立て工程が完了する。

【0076】従って、本実施の形態2の半導体集積回路装置によれば、いわゆるファンアウトー周辺パッドのT

14

BGA半導体パッケージ構造において、前記実施の形態1と同様に0.5mmピッチによる狭ピッチ化を可能にするとともに、フレキシブル配線基板2上の配線10、実装基板上の配線の引き回しを容易にして配線長を最短化することができる。

【0077】特に、本実施の形態2においては、補強棒5aを放熱構造に形成することにより、フレキシブル配線基板2の反りを防ぎ、はんだバンパ4の高さばらつきを抑えてパッケージの平坦性を向上させることができるとともに、半導体チップ1に発生する熱を放熱しやすくしてパッケージの放熱性を高めることができる。

【0078】また、予めフレキシブル配線基板2のテープ8の裏面に補強棒5aを接着しておくことにより、以降のインナーリード11のリードボンディング工程からフレキシブル配線基板2のテープ切断工程までの組み立て工程を簡略化することができる。

【0079】（実施の形態3）図11は本発明の実施の形態3である半導体集積回路装置を示す平面図、図12は変形例の半導体集積回路装置を示す平面図である。

【0080】本実施の形態3の半導体集積回路装置は、前記実施の形態1と同様にファンアウトー周辺パッドと称されるTBGA構造の半導体パッケージとされ、前記実施の形態1との相違点は、配線の引き回しをさらに容易にするために、四隅に配置されるべきバンパ電極を配置しないか、または他のバンパ電極に配線を介して接続するようにした点である。

【0081】すなわち、本実施の形態3の半導体パッケージにおいては、たとえば図11に示すように、パッケージの周辺に二列で設けられるべきはんだバンパ4（バンパ電極）のうち、それぞれの隅に配置されるべき4個のはんだバンパ4を設けずに、136ピンの半導体パッケージとなっている。

【0082】なお、配線10の引き回しを考慮した場合には、たとえば図12に示すように、それぞれの隅に配置される4個のはんだバンパ4から、たとえばランド用の他のはんだバンパ4に配線10を介して接続するようなことも変形例として考えられる。

【0083】従って、本実施の形態3の半導体集積回路装置によれば、いわゆるファンアウトー周辺パッドのTBGA半導体パッケージ構造において、前記実施の形態1と同様にフレキシブル配線基板2の反りを防ぎ、はんだバンパ4の高さばらつきを抑えてパッケージの平坦性を向上させることができる。

【0084】特に、本実施の形態3においては、四隅に配置されるべきはんだバンパ4を配置しないか、または他のはんだバンパ4に配線10を介して接続することにより、内周のはんだバンパ4間に1本の配線10のみを通せばよいので、0.5mmピッチによる狭ピッチ化を可能にするとともに、より一層、フレキシブル配線基板2上の配線10、実装基板上の配線の引き回しを容易にし

て配線長を最短化することができる。

【0085】(実施の形態4) 図13は本発明の実施の形態4である半導体集積回路装置を示す断面図である。

【0086】本実施の形態4の半導体集積回路装置は、前記実施の形態1と同様にファンアウト周辺パッドと称されるTBGA構造の半導体パッケージとされ、前記実施の形態1との相違点は、配線基板の裏面に補強部材を配置しないようにした点である。

【0087】すなわち、本実施の形態4の半導体パッケージにおいては、たとえば図13に示すように、ボンディングパッド7が形成された半導体チップ1、テープ8にインナーリード11およびバンブランド12を有する配線10が形成されたフレキシブル配線基板2(配線基板)、ソルダレジスト3(絶縁膜)、はんだバンパ4(バンパ電極)から構成され、半導体チップ1のボンディング部分が封止樹脂6により覆われたパッケージ構造となっている。

【0088】従って、本実施の形態4の半導体集積回路装置によれば、いわゆるファンアウト周辺パッドのTBGA半導体パッケージ構造において、前記実施の形態1に比べてパッケージでの平坦性は十分に得られないものの、前記実施の形態1と同様に0.5mmピッチによる狭ピッチ化を可能にするとともに、フレキシブル配線基板2上の配線10、実装基板上の配線の引き回しを容易にして配線長を最短化することができる。

【0089】(実施の形態5) 図14は本発明の実施の形態5である半導体集積回路装置を示す断面図、図15は半導体集積回路装置を半導体チップ側から見た平面図、図16～図20はバンパ電極の信号内容を示す説明図である。

【0090】本実施の形態5の半導体集積回路装置は、前記実施の形態1～4と同様にファンアウト周辺パッドと称されるTBGA構造の半導体パッケージとされ、前記実施の形態1～4との相違点は、半導体パッケージの外形寸法などの仕様を定め、特に配線基板の裏面部分に配置される補強部材の寸法を規格化するようにした点である。

【0091】この補強部材の寸法の規格化においては、バンパ電極をN列で配置し、かつ互いの間隔をPピッチとした場合に、補強部材の内周縁から外周縁までの寸法を、 $(N-1) \times P$ の寸法以上で、かつ $(N+1) \times P$ の寸法以下の範囲内に形成し、本実施の形態5においては最小限の $(N-1) \times P$ の寸法で形成する場合を例に示すものである。

【0092】すなわち、本実施の形態5の半導体パッケージにおいては、たとえば図14に示すように、はんだバンパ4(バンパ電極)が半導体チップ1の外周より外側領域の周辺に二列で配置され、かつフレキシブル配線基板2(配線基板)の裏面に補強棒5(補強部材)が配置された構造において、この補強棒5の内周縁から外周

縁までの寸法、いわゆる棒部分の幅Wがはんだバンパ4のピッチPとほぼ同じ寸法に形成されている。この半導体パッケージを半導体チップ1側から見ると図15のようになる。

【0093】具体的に、この半導体パッケージは、たとえば一辺の寸法Lが11.0mmの平面四角形、厚さHが0.8mm程度のパッケージ外形として形成されている。はんだバンパ4は、0.3mm程度の直径のボールが、0.5mmピッチで二列に配置され、内周同士のはんだバンパ4の間は9.0mm、外周同士のはんだバンパ4の間は10.0mmとなっている。

【0094】さらに、本実施の形態5の特徴である補強棒5は、はんだバンパ4のピッチPと同じ0.5mmの幅Wで、0.2mm程度の厚さに形成され、二列に配置されるはんだバンパ4の中心線間に配置されている。この補強棒5の開口部に配置される半導体チップ1の寸法1は、たとえば一辺が7.0mmの平面四角形の半導体チップ1となっている。

【0095】また、この半導体パッケージは、たとえばマイクロコンピュータ、メモリ、ASIC(Application Specific Integrated Circuit)などのパッケージとして形成され、たとえば他の構造の半導体パッケージなどとともに実装基板に実装され、携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器に用いられる。

【0096】一例として、216ピンのマイクロコンピュータを形成し、この場合のはんだバンパ4の信号内容を図16～図20を用いて説明する。図16は、インデックスコーナを基準にして、行方向をA～AJ、列方向を1～29にそれぞれ割り当ててはんだバンパ4のピン番号を擬似的に示すものであり、それぞれのピン番号に対応する信号名が図17～図20に示すようになっている。なお、マイクロコンピュータとしては、これに限定されるものではない。

【0097】このマイクロコンピュータは、たとえば図示しないCPU、ROM/RAM、各種コントローラ、インタフェースなどから構成され、これらの内部回路は32ビットのデータバス、26ビットのアドレスバスにより相互に接続されるとともに、図17～図20のように信号が割り当てられたはんだバンパ4を介して外部との入出力が可能となっている。

【0098】さらに、このマイクロコンピュータには、はんだバンパ4を介して、内部回路を駆動するための各種電源が供給され、また割込要求、モード選択、データ選択、チップ選択、LCD制御などの各種制御信号も入力または出力されている。他に、PCカード用のPCMCIAポート、シリアルコミュニケーション用のシリアルポートなども設けられている。

【0099】従って、本実施の形態5の半導体集積回路装置によれば、いわゆるファンアウト周辺パッドのT

(10)

17

BGA半導体パッケージ構造において、前記実施の形態1~4と同様の効果を得ることができるとともに、特に補強枠5の寸法を規格化して枠部分の幅をはんだバンプ4のピッチとほぼ同じ寸法に形成することにより、フレキシブル配線基板2の反りを抑えてパッケージの平坦性を確保することができる。

【0100】さらに、補強枠5の幅をはんだバンプ4のピッチとほぼ同じ寸法に規格化することで、補強枠5の共通使用によるコストの低減を図ることができるとともに、補強枠5の開口部が大きくなるので、マイクロコン

ピュータ、メモリ、ASICなどの種類の異なる半導体チップ1や、外形寸法の異なる半導体チップ1なども搭載でき、半導体チップ1の汎用性を向上させることができる。

【0101】(実施の形態6)図21は本発明の実施の形態6である半導体集積回路装置を示す断面図、図22は半導体集積回路装置を半導体チップ側から見た平面図である。

【0102】本実施の形態6の半導体集積回路装置は、前記実施の形態1~5と同様にファンアウトー周辺パッドと称されるTBGA構造にして、特に前記実施の形態5のように補強部材の寸法を規格化した半導体パッケージとされ、前記実施の形態5との相違点は、規格化された補強部材の寸法を $(N+1) \times P$ の寸法で形成するようにした点である。

【0103】すなわち、本実施の形態6の半導体パッケージにおいては、たとえば図21、図22に示すように、はんだバンプ4(バンプ電極)が半導体チップ1の外周より外側領域の周辺に二列で配置され、かつフレキシブル配線基板2(配線基板)の裏面に補強枠5(補強部材)が配置された構造において、この補強枠5の枠部分の幅Wをはんだバンプ4のピッチPを3倍にした寸法で形成されている。

【0104】具体的に、この半導体パッケージは、たとえば一辺の寸法が15.0mmの平面四角形、厚さが0.8mm程度のパッケージ外形として形成されている。はんだバンプ4は、0.3mm程度の直径のボールが、0.5mmピッチで二列に配置され、内周同士のはんだバンプ4の間は13.0mm、外周同士のはんだバンプ4の間は14.0mmとなっている。

【0105】さらに、補強枠5は、はんだバンプ4のピッチPを3倍にした1.5mmの幅Wで、0.2mm程度の厚さに形成されている。この補強枠5の開口部に配置される半導体チップ1の寸法は、たとえば一辺が7.3mm、または $8 \times 7.6$ mmの平面四角形の半導体チップ1となっている。

【0106】従って、本実施の形態6の半導体集積回路装置によれば、いわゆるファンアウトー周辺パッドのTBGA半導体パッケージ構造において、前記実施の形態1~4と同様の効果を得ることができ、さらに前記実施

18

の形態5と同様に、フレキシブル配線基板2の反りを抑えてパッケージの平坦性を確保するとともに、補強枠5の共通使用によるコストの低減、半導体チップ1の汎用性の向上を可能にすることができる。

【0107】特に、本実施の形態6においては、補強枠5の枠部分の幅をはんだバンプ4のピッチの3倍にすることにより、フレキシブル配線基板2の反りを十分に抑えることができ、また補強枠5の開口部も十分に大きくできるので、パッケージの平坦性の確保と半導体チップ1の汎用性の向上とを両立させることができる。

【0108】なお、本実施の形態6のような補強枠5の寸法の規格化においては、図21に一点鎖線で示すように、フレキシブル配線基板2のテープ8の内周縁から外周縁までの寸法W'で形成することも可能であり、この場合には封止樹脂6の回り込みを良くすることができる。とともに、温度に起因して発生するインナーリード11への応力集中を緩和することができる。

【0109】また、図21に二点鎖線で示すように、補強枠5を半導体チップ1の外周縁からフレキシブル配線基板2の外周縁までの寸法W''で補強枠5を形成することも可能であり、この場合には補強枠5を介して半導体チップ1に発生する熱が放熱しやすくなるので、パッケージの放熱性を高めることができる。

【0110】(実施の形態7)図23は本発明の実施の形態7である半導体集積回路装置を示す断面図、図24は半導体集積回路装置を半導体チップ側から見た平面図、図25は半導体集積回路装置をバンプ電極側から見た平面図である。

【0111】本実施の形態7の半導体集積回路装置は、前記実施の形態1~6と同様にファンアウトー周辺パッドと称されるTBGA構造にして、特に前記実施の形態5、6のように補強部材の寸法を規格化した半導体パッケージとされ、前記実施の形態5、6との相違点は、バンプ電極を三列で配置させるようにした点である。

【0112】すなわち、本実施の形態7の半導体パッケージにおいては、たとえば図23~図25に示すように、はんだバンプ4(バンプ電極)が半導体チップ1の外周より外側領域の周辺に三列で配置され、かつフレキシブル配線基板2(配線基板)の裏面に補強枠5(補強部材)が配置された構造において、この補強枠5の枠部分の幅Wをはんだバンプ4のピッチPを2倍にした寸法で形成されている。

【0113】具体的に、このはんだバンプ4は、たとえば0.5mm程度の直径のボールが、0.8mmピッチで三列に配置されている。さらに、補強枠5は、はんだバンプ4のピッチPを2倍にした1.6mmの幅Wで、0.2mm程度の厚さに形成され、三列に配置される最内周と最外周とはんだバンプ4の中心線間に配置されている。すなわち、補強枠5の枠部分の中心線と、中央のはんだバンプ4の中心線とがほぼ同一線上に配置されている。

【0114】また、この半導体パッケージは、たとえば図25に示すように、216ピンのファンアウトー周辺パッドと称されるTBGA構造であるが、これに限定されるものではなく、さらに多くのはんだバンプ4を有する多ピン化のパッケージについても適用可能であることはいうまでもない。

【0115】従って、本実施の形態7の半導体集積回路装置によれば、いわゆるファンアウトー周辺パッドのTBGA半導体パッケージ構造において、前記実施の形態1~4、さらに前記実施の形態5、6と同様の効果を得ることができるとともに、特にパッケージの多ピン化に対しても、最適な寸法に規格化された補強枠5を用いることによってパッケージの平坦性の確保、補強枠5の共通使用によるコストの低減、半導体チップ1の汎用性の向上を可能にすることができる。

【0116】（実施の形態8）図26は本発明の実施の形態8である半導体集積回路装置を示す断面図、図27は半導体集積回路装置を半導体チップ側から見た平面図である。

【0117】本実施の形態8の半導体集積回路装置は、前記実施の形態1~7と同様にファンアウトー周辺パッドと称されるTBGA構造にして、特に前記実施の形態5~7のように補強部材の寸法を規格化した半導体パッケージとされ、前記実施の形態5~7との相違点は、バンプ電極を三列で配置させるとともに、補強部材の寸法を $(N+1) \times P$ の寸法で形成するようにした点である。

【0118】すなわち、本実施の形態8の半導体パッケージにおいては、たとえば図26、図27に示すように、はんだバンプ4（バンプ電極）が半導体チップ1の外周より外側領域の周辺に三列で配置され、かつフレキシブル配線基板2（配線基板）の裏面に補強枠5（補強部材）が配置された構造において、この補強枠5の枠部分の幅Wははんだバンプ4のピッチPを4倍にした寸法、具体的にははんだバンプ4の0.8mmピッチを4倍にした3.2mmの幅Wで補強枠5が形成されている。

【0119】従って、本実施の形態8の半導体集積回路装置によれば、いわゆるファンアウトー周辺パッドのTBGA半導体パッケージ構造において、前記実施の形態1~6と同様の効果を得ることができ、さらに前記実施の形態7と同様に、多ピン化に対してもパッケージの平坦性の確保、補強枠5の共通使用によるコストの低減、半導体チップ1の汎用性の向上を可能にすることができるとともに、特に補強枠5の枠部分の幅をはんだバンプ4のピッチの4倍、さらに半導体チップ1の外周縁からフレキシブル配線基板2の外周縁までの範囲内の最適な寸法に形成することによって最適なパッケージ構造を実現することができる。

【0120】以上、本発明者によってなされた発明を発明の実施の形態1~8に基づき具体的に説明したが、本

発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0121】たとえば、前記実施の形態においては、152ピン、216ピンのファンアウトー周辺パッドと称されるTBGA構造の半導体パッケージについて説明したが、本発明は前記実施の形態に限定されるものではなく、バンプ電極の数は半導体チップ上に形成される集積回路などのパッケージ仕様に応じて適宜変更可能である。

【0122】さらに、配線基板としてのフレキシブル配線基板のテープ、配線およびインナーリードのめっき、絶縁膜としてのソルダレジスト、バンプ電極としてのはんだバンプなどの材料についても、それぞれの特性を備えている他の材料を用いる場合などについても適用可能であることはいうまでもない。

【0123】たとえば、ソルダレジストとしては、メラミン、アクリル、ポリスチロール、ポリイミドのほか、ポリウレタン、シリコンなどの材料を挙げられ、はんだ付け温度に耐え、同時にフラックスと洗浄溶剤にさらされることに耐える性質を持っていることが望ましい。

【0124】また、補強枠の寸法を規格化する場合に、はんだバンプの列数をさらに増加させることができ、たとえばはんだバンプが四列の場合には0.8mmピッチ、五列、六列の場合には1.0mmピッチなどで配置させることができる。この場合にも、補強枠は前記実施の形態と同様に規格化された寸法で形成することが必要である。

【0125】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0126】(1) 半導体チップの外部端子は半導体チップの周辺部に配置させ、バンプ電極は半導体チップの外周より外側領域の周辺に二列で配置させることで、バンプ電極の周回数を少なくすることができるので、バンプ電極と半導体チップの外部端子とを接続する配線基板上の配線の引き回しを容易にし、かつ配線長を最短にすることができる、さらにこのパッケージが実装される実装基板上の配線についても、引き回しを容易にして配線長を最短化することが可能となる。

【0127】(2) 配線基板の裏面に半導体チップの外周近傍から周辺への延在部分に補強部材を配置させることで、この補強部材により配線基板の反りを防ぐことができるので、バンプ電極の高さばらつきを抑えてパッケージの平坦性を向上させることが可能となる。

【0128】(3) バンプ電極の互いの間隔を0.5mmピッチで配置させる場合にも、配線基板の配線形成におけるパターンング、エッチング精度の向上、さらに配線上に形成するソルダレジストなどの感光性絶縁膜の形成、

(12)

21

開口精度の向上によって、バンプ電極を0.5mmピッチで配置させることができるので、バンプ電極の狭ピッチ化を実現することが可能となる。

【0129】(4). 補強部材を放熱構造に形成することで、配線基板の反りを抑えるという主目的を実現するとともに、半導体チップに発生する熱を放熱しやすくなることができるので、パッケージの放熱性を高めることが可能となる。

【0130】(5). 四隅に配置されるべきバンプ電極を配置しなかったり、または四隅のバンプ電極を他のバンプ電極に配線を介して接続することで、二列のうちの内周のバンプ電極間にそれぞれ一本の配線を通すだけでよいので、より一層、配線基板上の配線、実装基板上の配線の引き回しを容易に行うことが可能となる。

【0131】(6). 半導体集積回路装置の製造工程において、樹脂封止工程の後に配線基板の裏面に補強部材を接着することで、特に配線基板がリール状に巻回されて供給され、樹脂封止後に再びリール状に巻回される場合には、補強部材の反りを抑えて平坦度を保つことが可能となる。

【0132】(7). 半導体集積回路装置の製造工程において、予め配線基板の裏面に補強部材を接着することで、配線基板の配線のリード部と半導体チップの外部端子との接続工程から、配線基板の基板基材の切断工程までの組み立て工程を簡略化することが可能となる。

【0133】(8). 前記(1)～(7)により、いわゆるファンアウト周辺パッドと称されるTBGAパッケージ構造の半導体集積回路装置において、半導体チップの高密度化、高集積化に伴う多ピン化においても、この半導体チップの多ピン化を可能にするとともに、パッケージの小型、軽量、薄型化と、実装基板への高い実装安定性とを両立した最適なパッケージ構造を実現することが可能となる。

【0134】(9). バンプ電極をN列で配置させ、かつ互いの間隔をPピッチとした場合に補強部材の寸法を規格化することで、半導体チップの多ピン化とともに求められているパッケージの小型、軽量、薄型化に対しても、最適な寸法に規格化された補強部材の使用により配線基板の反りを抑えることができるので、パッケージの平坦性を確保することが可能となる。

【0135】(10). 寸法の規格化された補強部材を共通に用いることで、種類、外形寸法などが異なる種々の半導体チップを搭載することができるので、補強部材の共通使用によるコストの低減を図るとともに、半導体チップの汎用性を向上させることが可能となる。

【0136】(11). 補強部材の寸法を、特に $(N-1) \times P$ の寸法以上で、かつ $(N+1) \times P$ の寸法以下に形成して、この補強部材の寸法の中心線と、最内周と最外周とに配置されたバンプ電極間の寸法の中心線とをほぼ同一線上に配置させることで、パッケージの平坦性を確

22

保し、さらにコストの低減、半導体チップの汎用性の向上を図ることが可能となる。

【0137】(12). 補強部材の寸法を、特に $(N-1) \times P$ の寸法以上で、かつ配線基板の基板基材の内周縁から外周縁までの寸法以下で形成することで、封止樹脂の回り込みを良くすることができるとともに、温度に起因して発生する配線のリード部への応力集中を緩和することが可能となる。

【0138】(13). 補強部材の寸法を、特に $(N-1) \times P$ の寸法以上で、かつ半導体チップの外周縁から配線基板の外周縁までの寸法以下で形成することで、補強部材を介して半導体チップに発生する熱を放熱しやすくなることができるので、パッケージの放熱性を高めることが可能となる。

【0139】(14). 前記(9)～(13)により、特に補強部材の寸法を規格化することによって、半導体チップの多ピン化に伴うパッケージの小型、軽量、薄型化に対しても、パッケージの平坦性の確保、コストの低減、半導体チップの汎用性の向上が可能なファンアウト周辺パッドと称されるTBGAパッケージ構造を実現することが可能となる。

【0140】(15). 半導体チップの封止樹脂および補強部材の接着材を難燃性樹脂とすることにより、TBGAパッケージの安全性を向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置を示す平面図である。

【図2】本発明の実施の形態1における図1のII-II'切断線における断面図である。

【図3】本発明の実施の形態1において、配線基板の基本概念を示す平面図である。

【図4】本発明の実施の形態1における半導体集積回路装置の組み立て工程を示すフロー図である。

【図5】本発明の実施の形態1において、切断工程前の配線基板の一部を示す平面図である。

【図6】本発明の実施の形態2である半導体集積回路装置を示す断面図である。

【図7】本発明の実施の形態2における変形例の半導体集積回路装置を示す断面図である。

【図8】本発明の実施の形態2における他の変形例の半導体集積回路装置を示す断面図である。

【図9】本発明の実施の形態2におけるさらに他の変形例の半導体集積回路装置を示す断面図である。

【図10】本発明の実施の形態2における半導体集積回路装置の組み立て工程を示すフロー図である。

【図11】本発明の実施の形態3である半導体集積回路装置を示す平面図である。

【図12】本発明の実施の形態3における変形例の半導体集積回路装置を示す平面図である。

【図13】本発明の実施の形態4である半導体集積回路

(13)

23

装置を示す断面図である。

【図14】本発明の実施の形態5である半導体集積回路装置を示す断面図である。

【図15】本発明の実施の形態5における半導体集積回路装置を半導体チップ側から見た平面図である。

【図16】本発明の実施の形態5において、パンプ電極の信号内容を示す説明図である。

【図17】本発明の実施の形態5において、図16に続くパンプ電極の信号内容を示す説明図である。

【図18】本発明の実施の形態5において、図17に続くパンプ電極の信号内容を示す説明図である。

【図19】本発明の実施の形態5において、図18に続くパンプ電極の信号内容を示す説明図である。

【図20】本発明の実施の形態5において、図19に続くパンプ電極の信号内容を示す説明図である。

【図21】本発明の実施の形態6である半導体集積回路装置を示す断面図である。

【図22】本発明の実施の形態6における半導体集積回路装置を半導体チップ側から見た平面図である。

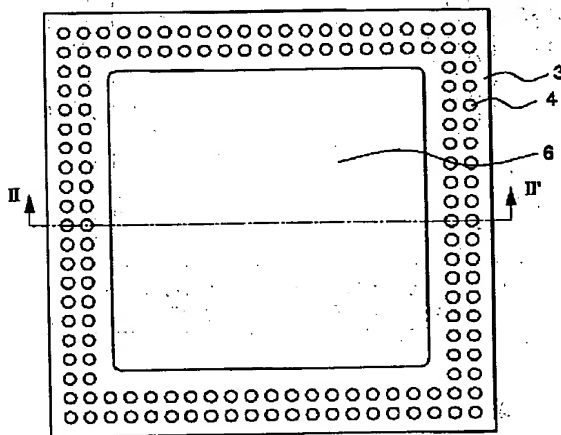
【図23】本発明の実施の形態7である半導体集積回路装置を示す断面図である。

【図24】本発明の実施の形態7における半導体集積回路装置を半導体チップ側から見た平面図である。

【図25】本発明の実施の形態7における半導体集積回

【図1】

図 1



24

路装置をパンプ電極側から見た平面図である。

【図26】本発明の実施の形態8である半導体集積回路装置を示す断面図である。

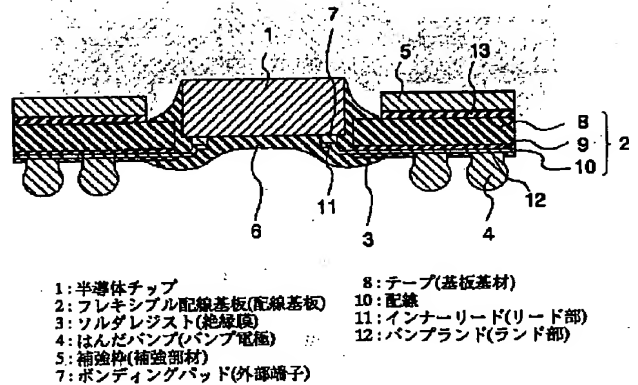
【図27】本発明の実施の形態8における半導体集積回路装置を半導体チップ側から見た平面図である。

【符号の説明】

- 1 半導体チップ
- 2 フレキシブル配線基板（配線基板）
- 3 ソルダレジスト（絶縁膜）
- 4 はんだパンプ（パンプ電極）
- 5, 5a～5d 補強枠（補強部材）
- 6 封止樹脂
- 7 ボンディングパッド（外部端子）
- 8 テープ（基板基材）
- 9 接着材
- 10 配線
- 11 インナーリード（リード部）
- 12 パンプランド（ランド部）
- 13 接着材
- 14 はんだボール
- 15 ディスペンサ
- 16 スプロケット孔
- 17 テストパッド
- 18 アウターリード開孔部

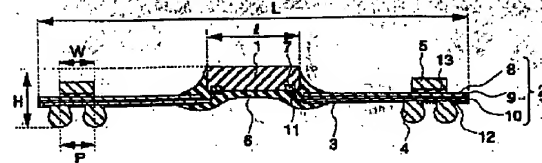
【図2】

図 2



【図14】

図 14

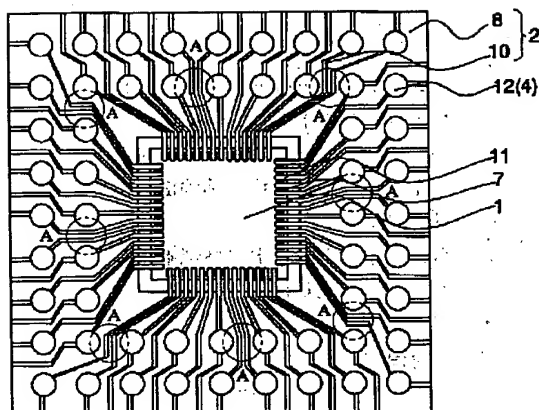




(14)

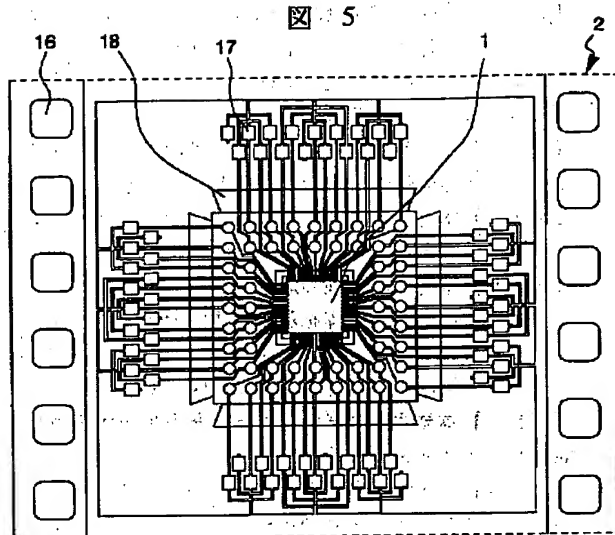
【図3】

図 3



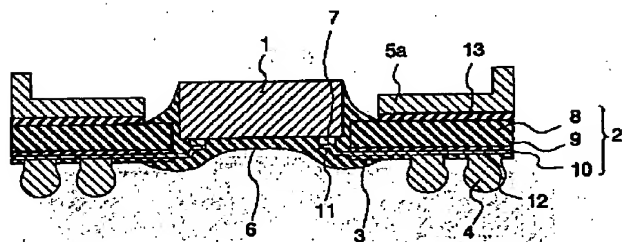
【図5】

図 5



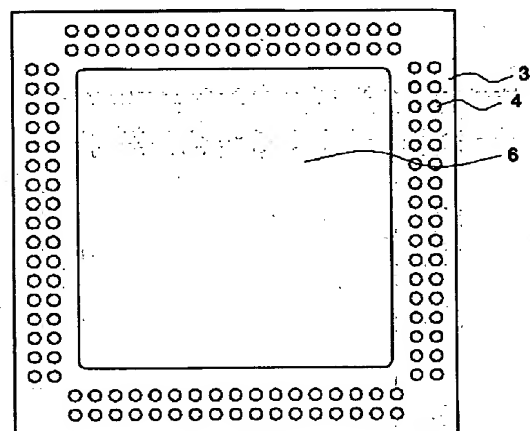
【図6】

図 6



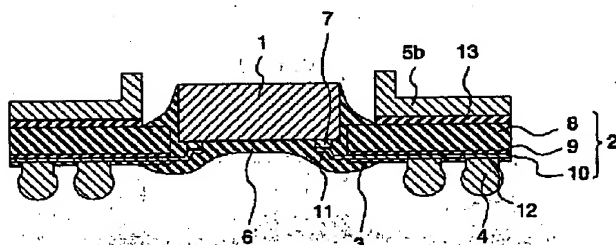
【図11】

図 11



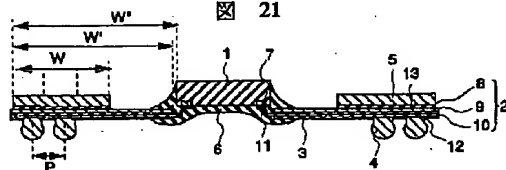
【図7】

図 7



【図21】

図 21

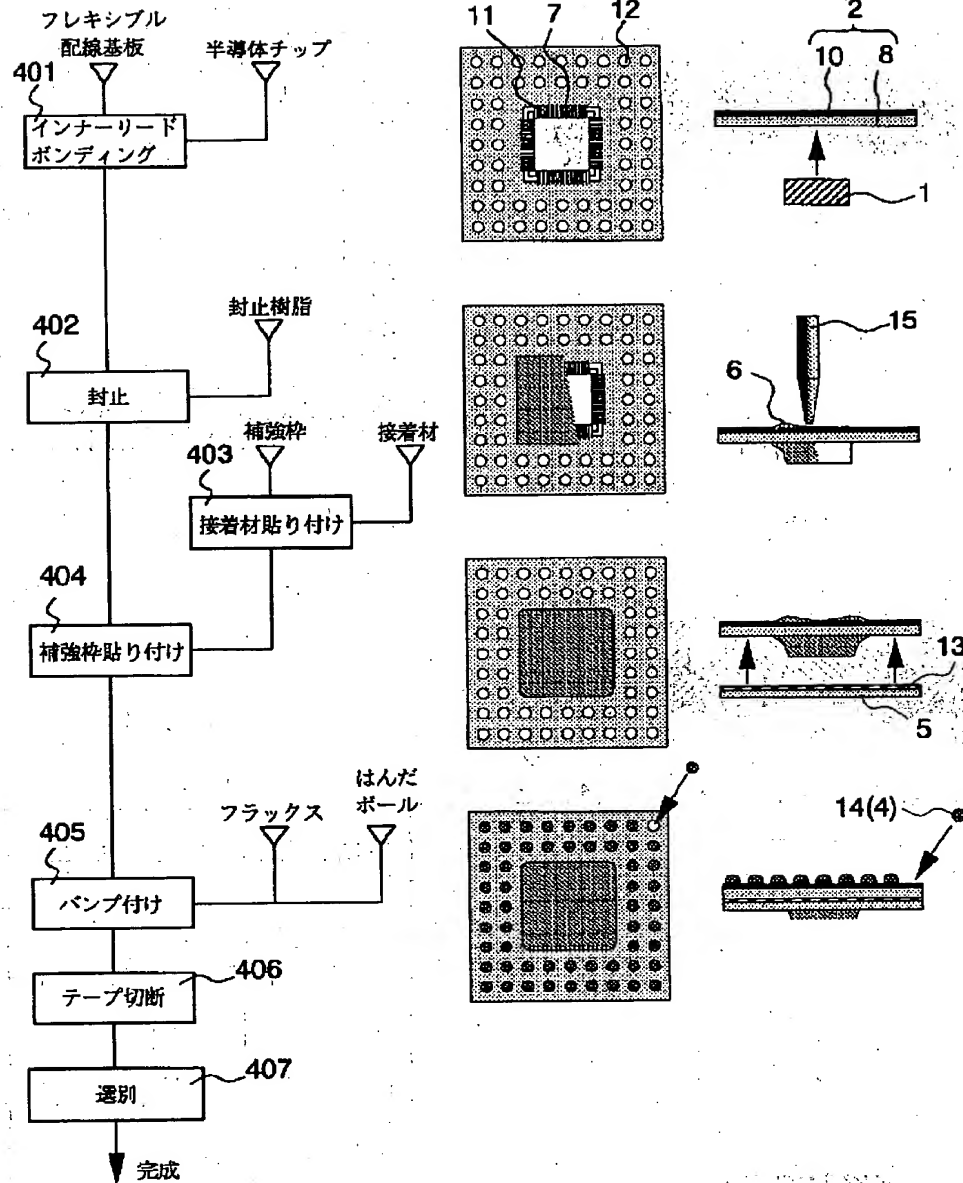




(15)

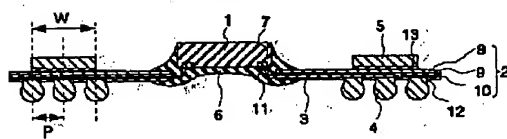
【図4】

図 4



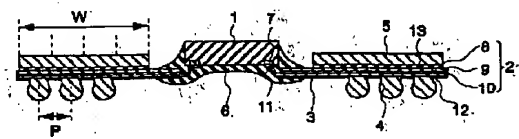
【図23】

図 23



【図26】

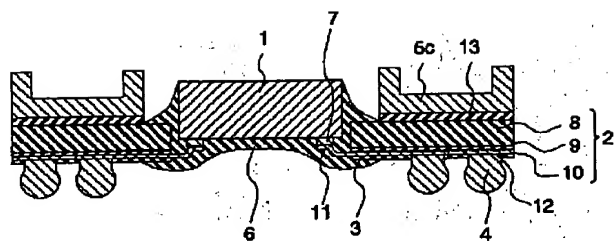
図 26



(16)

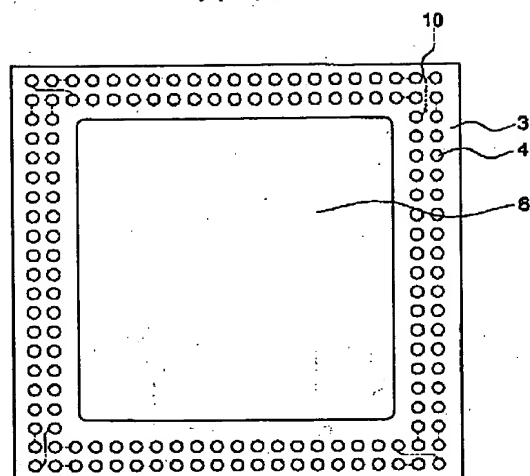
【図8】

図 8



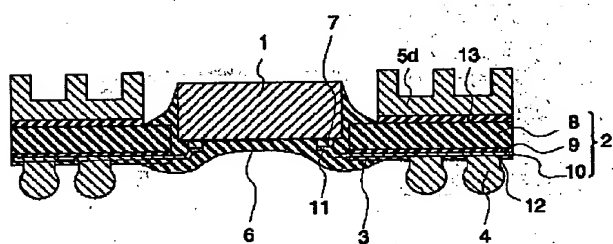
【図12】

図 12



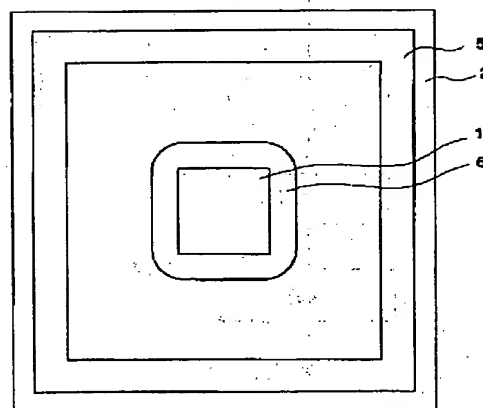
【図9】

図 9



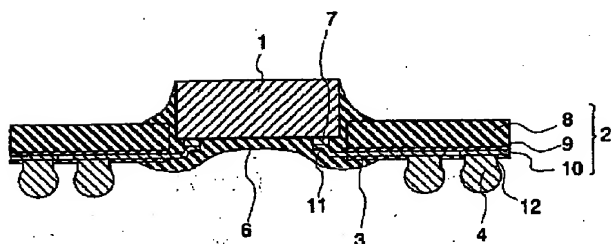
【図15】

図 15



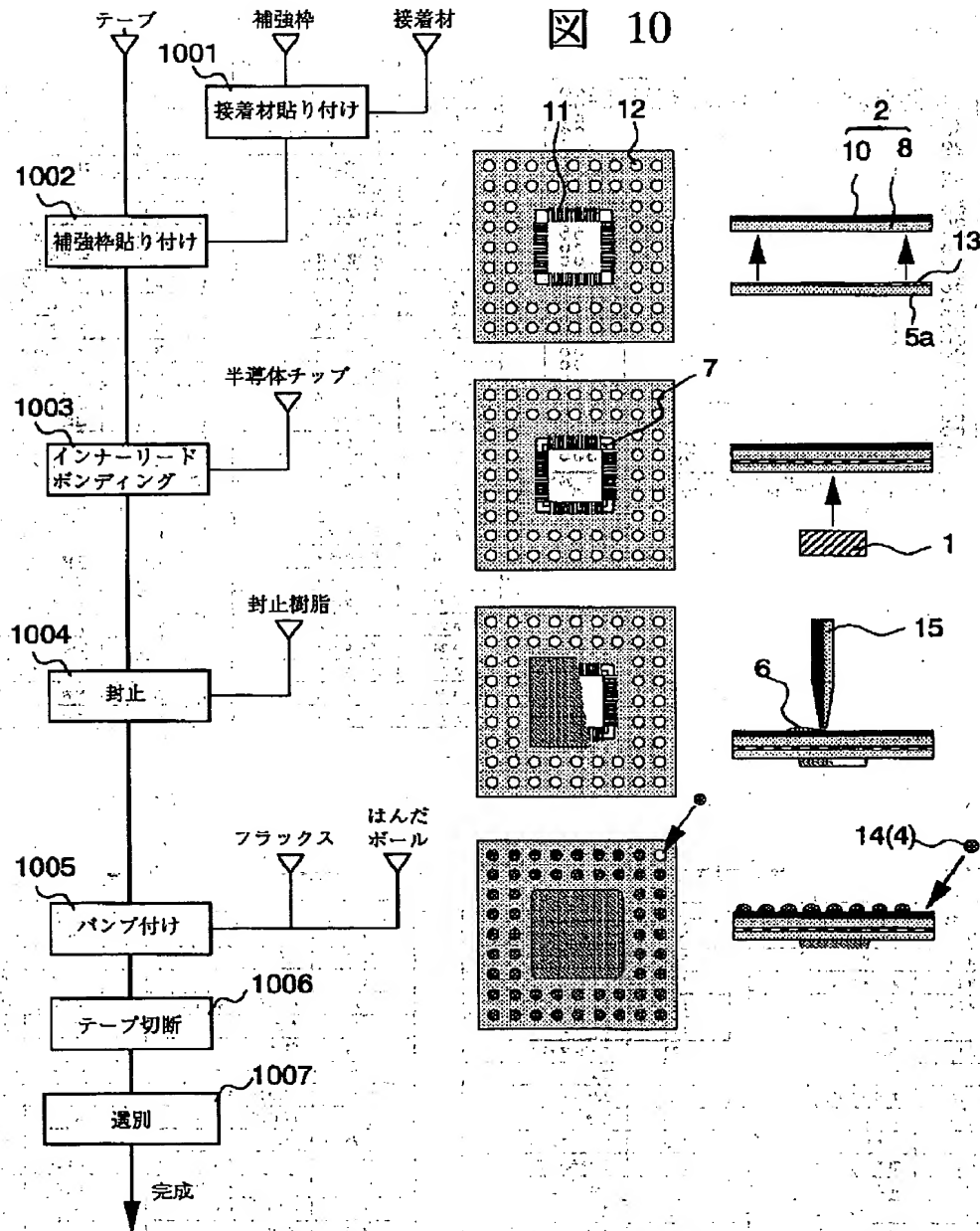
【図13】

図 13



(17)

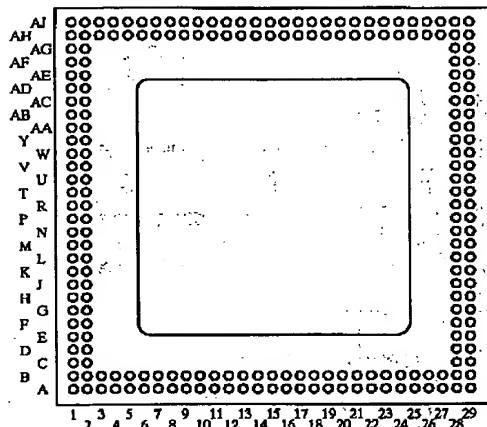
【図10】



(18)

【図16】

図 16



【図17】

図 17

| はんだパンク<br>No. | 信号名    |
|---------------|--------|
| A1            | NC     |
| A2            | モード端子  |
| A3            | 水晶発振子  |
| A4            | 電源     |
| A5            | 外部制込要求 |
| A6            | 外部制込要求 |
| A7            | 外部制込要求 |
| A8            | データバス  |
| A9            | データバス  |
| A10           | データバス  |
| A11           | データバス  |
| A12           | データバス  |
| A13           | データバス  |
| A14           | データバス  |
| A15           | データバス  |
| A16           | データバス  |
| A17           | データバス  |
| A18           | データバス  |
| A19           | データバス  |
| A20           | データバス  |
| A21           | データバス  |
| A22           | データバス  |
| A23           | データバス  |
| A24           | データバス  |
| A25           | データバス  |
| A26           | データバス  |
| A27           | データバス  |

| はんだパンク<br>No. | 信号名    |
|---------------|--------|
| A28           | NC     |
| A29           | NC     |
| B1            | NC     |
| B2            | モード端子  |
| B3            | 電源     |
| B4            | 水晶発振子  |
| B5            | 制込要求   |
| B6            | 外部制込要求 |
| B7            | 外部制込要求 |
| B8            | データバス  |
| B9            | データバス  |
| B10           | データバス  |
| B11           | 電源     |
| B12           | 電源     |
| B13           | データバス  |
| B14           | データバス  |
| B15           | 電源     |
| B16           | 電源     |
| B17           | データバス  |
| B18           | 電源     |
| B19           | 電源     |
| B20           | データバス  |
| B21           | データバス  |
| B22           | データバス  |
| B23           | データバス  |
| B24           | 電源     |
| B25           | 電源     |

【図18】

図 18

| はんだパンク<br>No. | 信号名     |
|---------------|---------|
| B26           | データバス   |
| B27           | データバス   |
| B28           | アドレスバス  |
| B29           | アドレスバス  |
| C1            | 電源      |
| C2            | アナログ入出力 |
| C28           | アドレスバス  |
| C29           | アドレスバス  |
| D1            | アナログ入出力 |
| D2            | 電源      |
| D28           | 電源      |
| D29           | アドレスバス  |
| E1            | アナログ入出力 |
| E2            | アナログ入出力 |
| E28           | 電源      |
| E29           | アドレスバス  |
| F1            | アナログ入出力 |
| F2            | アナログ入出力 |
| F28           | アドレスバス  |
| F29           | アドレスバス  |
| G1            | アナログ入出力 |
| G2            | アナログ入出力 |
| G28           | アドレスバス  |
| G29           | アドレスバス  |
| H1            | 電源      |
| H2            | モード端子   |
| H28           | アドレスバス  |

| はんだパンク<br>No. | 信号名       |
|---------------|-----------|
| H29           | アドレスバス    |
| J1            | モード端子     |
| J2            | モード端子     |
| J28           | アドレスバス    |
| J29           | アドレスバス    |
| K1            | 電源        |
| K2            | リセット      |
| K28           | 電源        |
| K29           | アドレスバス    |
| L1            | DMA転送要求   |
| L2            | DMA転送要求   |
| L28           | 電源        |
| L29           | アドレスバス    |
| M1            | LCD制御端子   |
| M2            | LCD制御端子   |
| M28           | アドレスバス    |
| M29           | アドレスバス    |
| N1            | LCDデータ出力  |
| N2            | LCDデータ出力  |
| N28           | アドレスバス    |
| N29           | アドレスバス    |
| P1            | LCDデータ出力  |
| P2            | LCDデータ出力  |
| P28           | アドレスバス    |
| P29           | アドレスバス    |
| R1            | LCDクロック出力 |
| R2            | 電源        |

【図19】

図 19

| はんだパンク<br>No. | 信号名       |
|---------------|-----------|
| R28           | 電源        |
| R29           | アドレスバス    |
| T1            | LCDクロック出力 |
| T2            | 電源        |
| T28           | 電源        |
| T29           | アドレスバス    |
| U1            | LCDデータ出力  |
| U2            | LCDデータ出力  |
| U28           | 電源        |
| U29           | アドレスバス    |
| V1            | LCDデータ出力  |
| V2            | LCDデータ出力  |
| V28           | 電源        |
| V29           | アドレスバス    |
| W1            | シリアルポート   |
| W2            | 電源        |
| W28           | バスサイクル開始  |
| W29           | 読出ストローブ   |
| Y1            | シリアルポート   |
| Y2            | 電源        |
| Y28           | データ選択信号   |
| Y29           | データ選択信号   |
| AA1           | シリアルポート   |
| AA2           | シリアルポート   |
| AA28          | データ選択信号   |
| AA29          | データ選択信号   |
| AB1           | シリアルポート   |

| はんだパンク<br>No. | 信号名      |
|---------------|----------|
| AB2           | シリアルポート  |
| AB28          | 読出ストローブ  |
| AB29          | 読出ストローブ  |
| AC1           | シリアルポート  |
| AC2           | シリアルポート  |
| AC28          | 電源       |
| AC29          | チップ選択    |
| AD1           | シリアルポート  |
| AD2           | シリアルポート  |
| AD28          | 電源       |
| AD29          | チップ選択    |
| AE1           | シリアルポート  |
| AE2           | 電源       |
| AE28          | チップ選択    |
| AE29          | チップ選択    |
| AF1           | システムクロック |
| AF2           | 電源       |
| AF28          | チップ選択    |
| AF29          | チップ選択    |
| AG1           | バス制込要求出力 |
| AG2           | クロック入出力  |
| AG28          | 入出力ポート   |
| AG29          | 入出力ポート   |
| AH1           | 処理状態     |
| AH2           | 処理状態     |
| AH3           | 水晶発振子    |
| AH4           | 電源       |

(19)

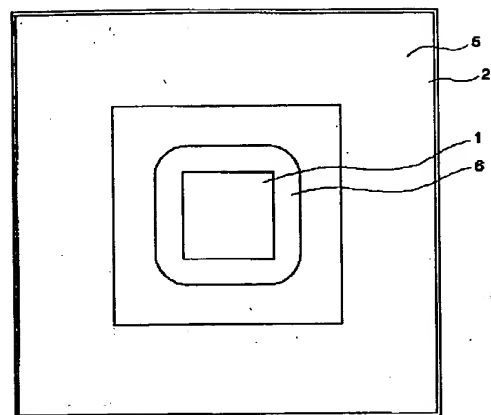
【図20】

図 20

| はんたパンパ<br>No. | 信号名       | はんたパンパ<br>No. | 信号名       |
|---------------|-----------|---------------|-----------|
| AH5           | 外部容量端子    | AJ3           | 水晶発振子     |
| AH6           | 外部容量端子    | AJ4           | 電源        |
| AH7           | 電源        | AJ5           | 電源        |
| AH8           | 電源        | AJ6           | 電源        |
| AH9           | PCMCIAポート | AJ7           | 電源        |
| AH10          | PCMCIAポート | AJ8           | 外部容量端子    |
| AH11          | PCMCIAポート | AJ9           | モード端子     |
| AH12          | PCMCIAポート | AJ10          | PCMCIAポート |
| AH13          | PCMCIAポート | AJ11          | PCMCIAポート |
| AH14          | PCMCIAポート | AJ12          | PCMCIAポート |
| AH15          | PCMCIAポート | AJ13          | PCMCIAポート |
| AH16          | PCMCIAポート | AJ14          | 電源        |
| AH17          | PCMCIAポート | AJ15          | 電源        |
| AH18          | PCMCIAポート | AJ16          | PCMCIAポート |
| AH19          | ウェイト要求    | AJ17          | PCMCIAポート |
| AH20          | バス権要求回路   | AJ18          | PCMCIAポート |
| AH21          | PCMCIAポート | AJ19          | PCMCIAポート |
| AH22          | PCMCIAポート | AJ20          | バス権要求     |
| AH23          | DMA転送ストロブ | AJ21          | PCMCIAポート |
| AH24          | データ選択用ポート | AJ22          | PCMCIAポート |
| AH25          | 電源        | AJ23          | PCMCIAポート |
| AH26          | 電源        | AJ24          | DMA転送ストロブ |
| AH27          | 入出力ポート    | AJ25          | データ選択用ポート |
| AH28          | NC        | AJ26          | データ選択用ポート |
| AH29          | NC        | AJ27          | データ選択用ポート |
| AJ1           | NC        | AJ28          | 入出力ポート    |
| AJ2           | NC        | AJ29          | NC        |

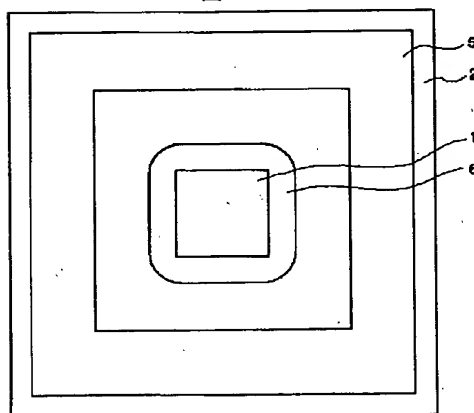
【図22】

図 22



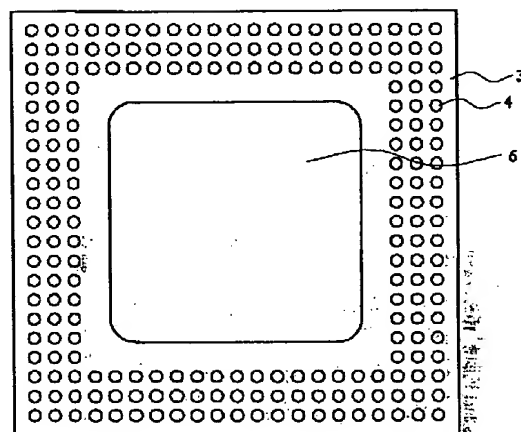
【図24】

図 24



【図25】

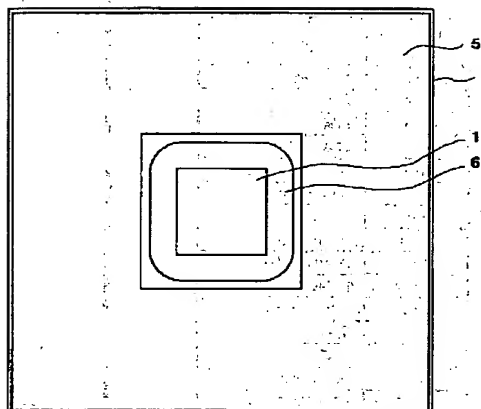
図 25



(20)

【図 27】

図 27



フロントページの続き

(72)発明者 東條 信治

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 春田 亮

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 安生 一郎

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 西村 朝雄

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 西 邦彦

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 永井 晃

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**